

ETH Zurich Converter Lab

# BASIC

- IE1: Ein- und dreiphasige Diodengleichrichtung
- IE2: DC/DC Konverter / Tiefsetzsteller
- IE3: DC/DC Konverter / Hochsetzsteller
- IE4: DC/DC Konverter / Hoch-Tiefsetzsteller

# 1 Ein- und dreiphasige Diodengleichrichtung

Abb.1.1 zeigt die in das „ETH Zurich Converter Lab“ integrierte dreiphasige Gleichrichterbrücke mit der verschiedene Gleichrichterschaltungen experimentell analysiert werden können. Bei Verwendung von nur vier Dioden lassen sich die einphasigen, bei Verwendung aller sechs Dioden die dreiphasigen, ungesteuerten Brückengleichrichter untersuchen.

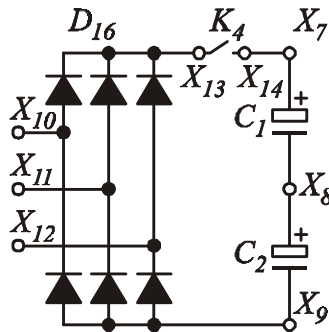


Abb.1.1: Integrierte Gleichrichterbrücke des „ETH Zurich Converter Lab“

## 1.1 Einphasiger Brückengleichrichter mit ohmscher Last

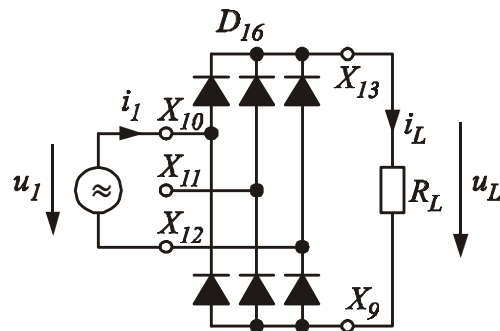
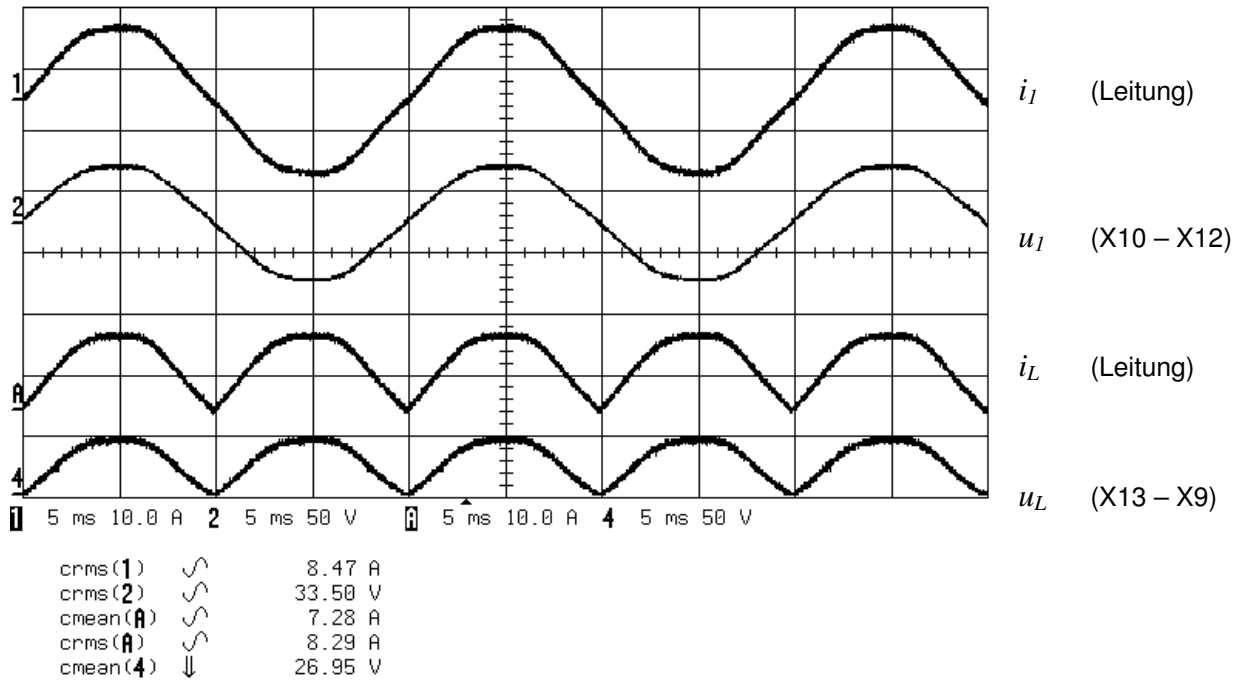


Abb.1.2: Einphasiger Brückengleichrichter mit ohmscher Last

Der einfachste Fall ist der in Abb.1.2 dargestellte einphasige Brückengleichrichter mit ohmscher Last. Schließen sie die Wechselspannungsquelle (1~Trafo, maximaler Effektivwert der Phasenspannung  $U_{1,max} = 35V$ ) an Klemmen  $X_{10}$  und  $X_{12}$  an und belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_{13}$  und  $X_9$ . Konfigurieren Sie die Relaiskontakte entsprechend.

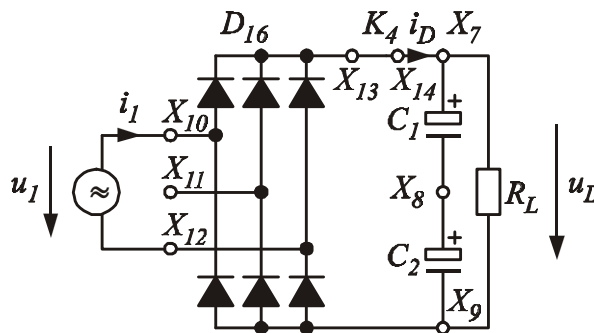
Das zugehörige Messergebnis ist in Abb.1.3 dargestellt. Sie erkennen, dass die Ausgangsspannung  $u_L$  bzw. der Ausgangsstrom  $i_L$  dem Betrag der Eingangsspannung  $u_1$  bzw. dem Eingangsstrom  $i_1$  entsprechen. Nachteilig ist der große Wechselspannungsanteil der Ausgangsspannung, der Leistungsfaktor dieser Anordnung ist jedoch kaum zu überbieten ( $\lambda = 0.9998$ ).

Messwerte:	$U_1 = 33.390V$
	$I_1 = 8.497A$
	$P_1 = 283.7W$
	$S_1 = 283.7VA$
	$\lambda = 0.9998$



**Abb.1.3:** Zeitverläufe der Netzspannung  $u_1$ , des Netzstromes  $i_1$ , der Lastspannung  $u_L$  und des Laststromes  $i_L$  beim einphasigen Brückengleichrichter mit ohmscher Last. Die Ströme wurden in den Zu- und Belastungsleitungen gemessen.

### 1.2 Einphasiger Brückengleichrichter mit Glättungskondensator am Ausgang



**Abb.1.4:** Einphasiger Brückengleichrichter mit Glättungskondensator am Ausgang und ohmscher Last.

In Abb.1.4 ist der einphasige Brückengleichrichter mit Glättungskondensator und ohmscher Last dargestellt. Belassen sie die Wechselspannungsquelle (1~Trafo) an den Klemmen  $X_{10}$  und  $X_{12}$  und belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_7$  und  $X_9$ . Konfigurieren Sie die Relaiskontakte entsprechend.

Das zugehörige Messergebnis ist in Abb.1.5 dargestellt. Sie erkennen, dass die Ausgangsspannung  $u_L$  nun geglättet ist und die Ladung der Ausgangskondensatoren  $C_1$  und  $C_2$  nur in der Umgebung der Netzspannungsspitze erfolgt. Das Netz in diesem Labor hat eine vergleichsweise hohe Impedanz, wodurch die Stromführungsdauer (Leitwinkel) sehr lang ist und dadurch der Leistungsfaktor mit  $\lambda = 0.8239$  sehr hoch ist.

Messwerte:	$U_I = 33.672\text{V}$
	$I_I = 9.306\text{A}$
	$P_I = 258.2\text{W}$
	$S_I = 313.3\text{VA}$
	$\lambda = 0.8239$

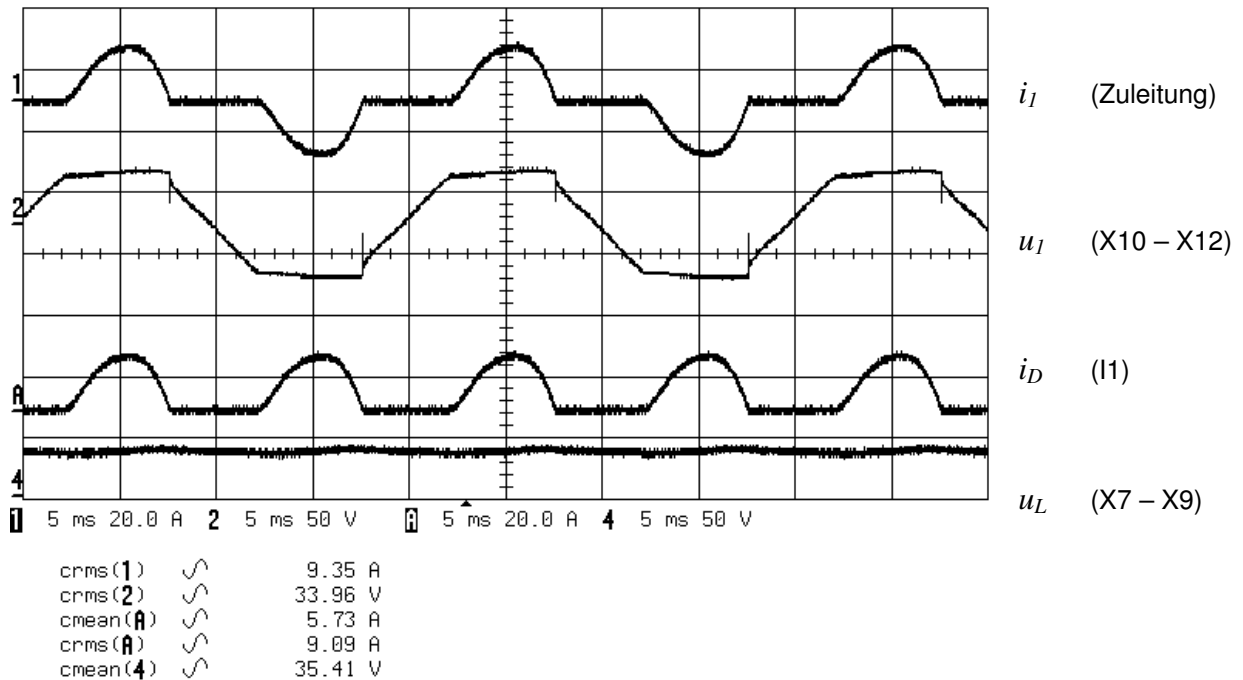


Abb.1.5: Zeitverläufe der Netzspannung  $u_I$ , des Netzstromes  $i_I$ , der Lastspannung  $u_L$  und des Kondensator-Ladestromes  $i_D$  beim einphasigen Brückengleichrichter mit Glättungskondensator am Ausgang und ohmscher Last. Der Netzstrom wurde in der Zuleitung gemessen.

### 1.3 Einphasiger Brückengleichrichter mit ausgangsseitiger Induktivität und konstanter Ausgangsspannung

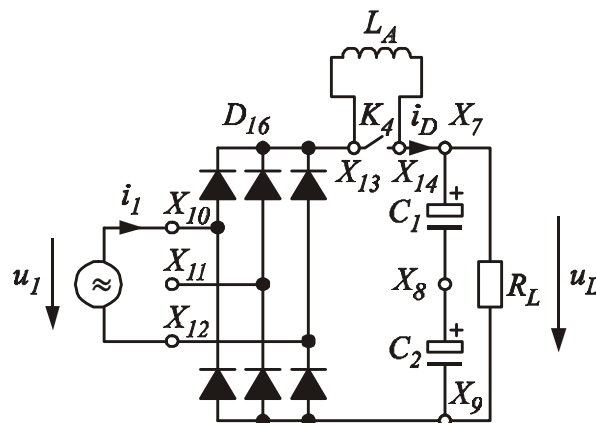


Abb.1.6: Einphasiger Brückengleichrichter mit ausgangsseitiger Induktivität und konstanter Ausgangsspannung.

In Abb.1.6 ist der einphasige Brückengleichrichter mit ausgangsseitiger Induktivität, konstanter Ausgangsspannung und ohmscher Last dargestellt. Belassen sie die Wechselspannungsquelle (1~Trafo) an den Klemmen  $X_{10}$  und  $X_{12}$ , klemmen sie eine

Induktivität mit ca. 40mH/10A (Abb.1.7) an die Klemmen  $X_{13}$  und  $X_{14}$  und belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_7$  und  $X_9$ . Konfigurieren Sie die Relaiskontakte entsprechend.

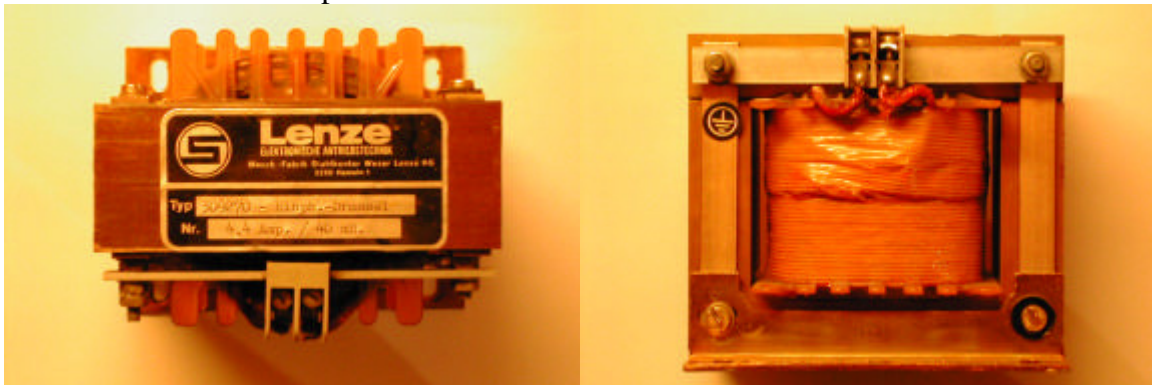


Abb.1.7: Glättungsinduktivität  $L_A$  (40mH/4.4A) zur Glättung des Ladestromes.

Das zugehörige Messergebnis ist in Abb.1.8 dargestellt. Sie erkennen, dass der Ladestrom des Kondensators  $i_D$  nun geglättet ist und zu einer Stromführung während der vollen Netzperiode führt. Die Welligkeit an den Kondensatoren  $C_1$  und  $C_2$  wird dadurch nochmals reduziert. Der Leistungsfaktor ist mit  $\lambda = 0.8878$  schon recht hoch.

Messwerte:	$U_I = 45.838V$
	$I_I = 7.234A$
	$P_I = 294.5W$
	$S_I = 331.7VA$
	$\lambda = 0.8878$

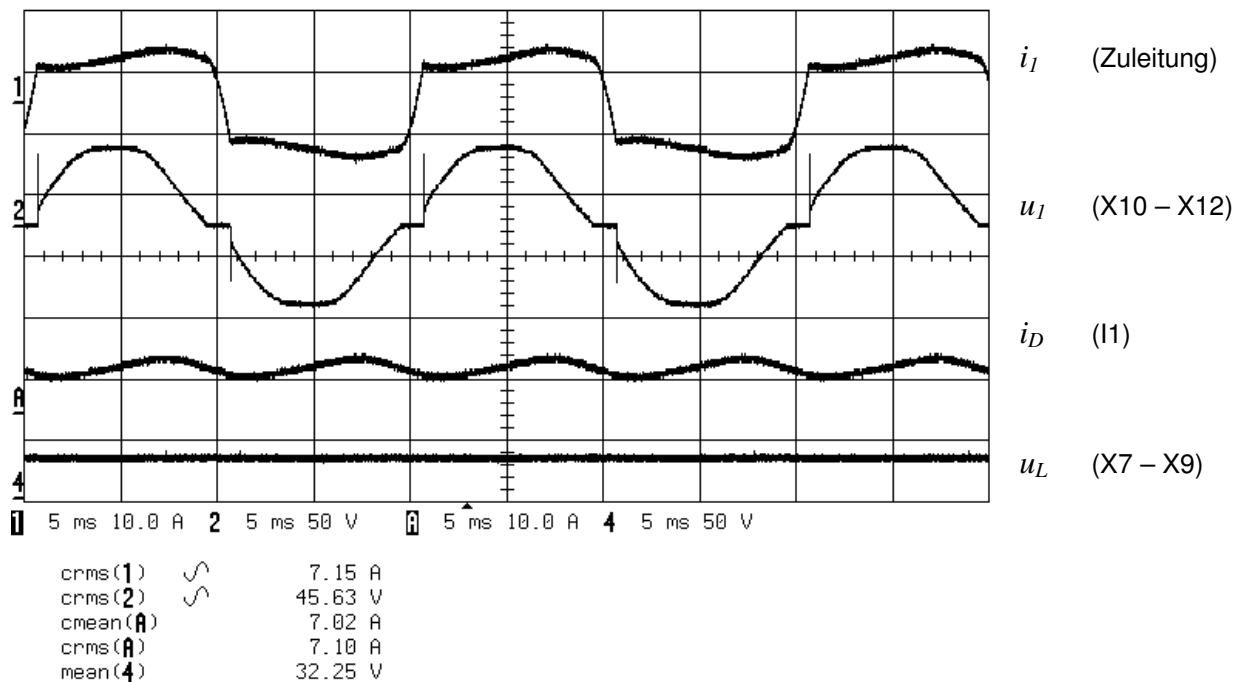
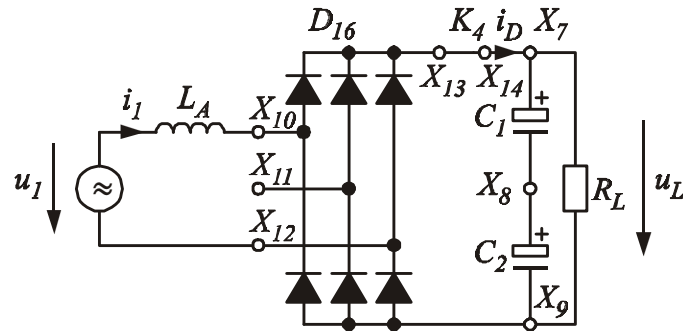


Abb.1.8: Zeitverläufe der Netzspannung  $u_I$ , des Netzstromes  $i_I$ , der Lastspannung  $u_L$  und des Stromes  $i_D$  der Glättungsinduktivität  $L_A$  beim einphasigen Brückengleichrichter mit ausgangsseitiger Induktivität, konstanter Ausgangsspannung und ohmscher Last. Der Netzstrom wurde in der Zuleitung gemessen.

### 1.4 Einphasiger Brückengleichrichter mit netzseitiger Induktivität und konstanter Ausgangsspannung

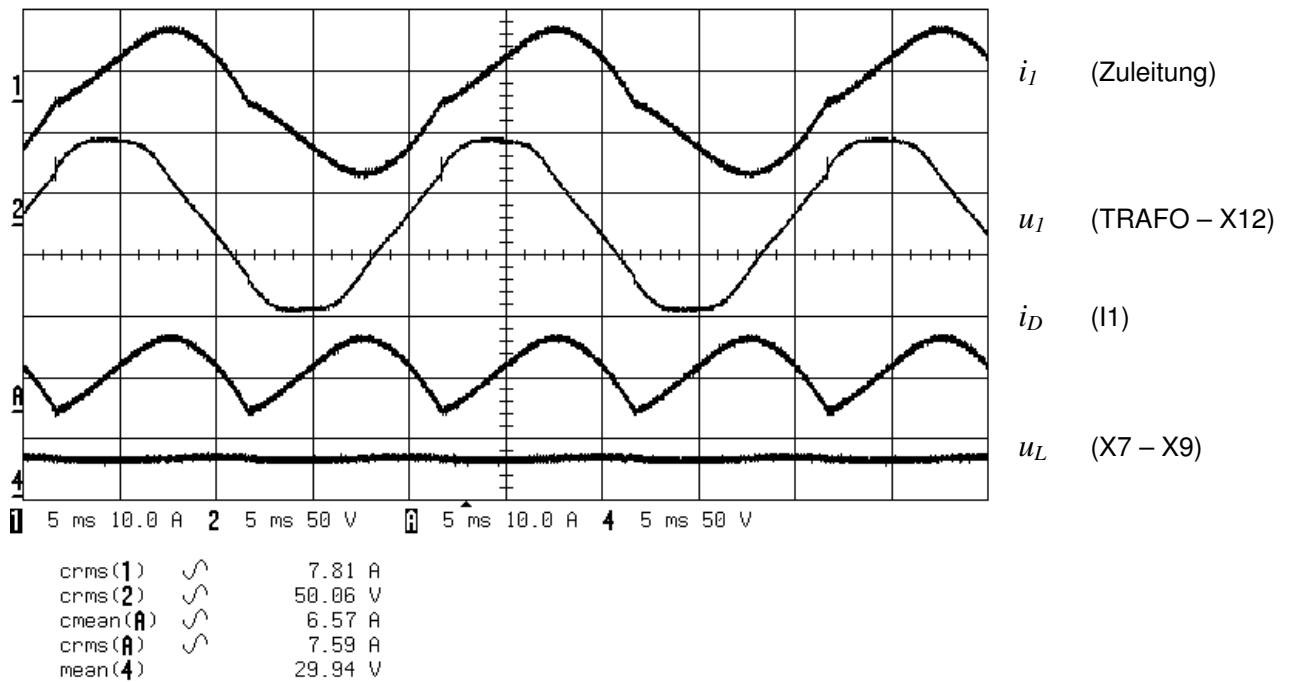


**Abb.1.9: Einphasiger Brückengleichrichter mit netzseitiger Induktivität und konstanter Ausgangsspannung.**

In Abb.1.9 ist der einphasige Brückengleichrichter mit netzseitiger Induktivität, konstanter Ausgangsspannung und ohmscher Last dargestellt. Belassen sie die Wechselspannungsquelle (1~Trafo) an der Klemme  $X_{12}$ , klemmen sie eine Induktivität mit ca. 10mH zwischen die Klemme  $X_{10}$  und die Wechselspannungsquelle und belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_7$  und  $X_9$ . Konfigurieren Sie die Relaiskontakte entsprechend.

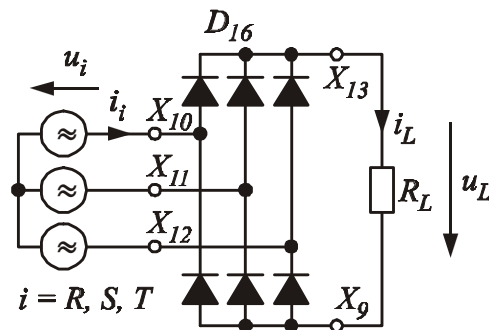
Das zugehörige Messergebnis ist in Abb.1.8 dargestellt. Sie erkennen, dass der Ladestrom des Kondensators  $i_D$  nun ständig die Nulllinie berühren muss und daher der Netzstrom  $i_1$  eine große Phasenverschiebung zur Spannung  $u_1$  erfährt. Bei einer großen Induktivität  $L_A$  kann nur mehr eine geringe Wirkleistung aufgenommen werden. Der Leistungsfaktor  $\lambda = 0.6444$  dieser Anordnung ist durch das ausgeprägt induktive Verhalten sehr gering.

Messwerte:	$U_1$	=	50.31V
	$I_1$	=	7.873A
	$P_1$	=	255.2W
	$S_1$	=	396.1VA
	$\lambda$	=	0.6444



**Abb.1.10:** Zeitverläufe der Netzspannung  $u_1$ , des Netzstromes  $i_1$ , der Lastspannung  $u_L$  und des Stromes  $i_D$  im Gleichspannungskreis beim einphasigen Brückengleichrichter mit netzseitiger Induktivität, konstanter Ausgangsspannung und ohmscher Last. Der Netzstrom wurde in der Zuleitung erfasst.

### 1.5 Dreiphasiger Brückengleichrichter mit ohmscher Last



**Abb.1.11:** Dreiphasiger Brückengleichrichter mit ohmscher Last.

In Abb.1.11 ist der dreiphasige Brückengleichrichter mit ohmscher Last dargestellt. Verbinden sie die Klemmen  $X_{10} \dots X_{12}$  mit einer einstellbaren Drehstromquelle (3~Trafo, maximaler Effektivwert der Außenleiterspannung  $U_{N,max} = 35V$ ). Belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_{13}$  und  $X_9$  und konfigurieren sie die Relaiskontakte entsprechend.

Das zugehörige Messergebnis ist in Abb.1.12 dargestellt. Sie erkennen, dass die Ausgangsspannung  $u_L$  bzw. der Ausgangsstrom  $i_L$  bereits bei ohmscher Last vergleichsweise gut geglättet wird, da die Ausgangsspannung stets der aktuell größten Außenleiterspannung  $u_{ij}$  ( $ij = RS, ST, TR$ ) entspricht. Die Eingangsströme  $i_i$  ( $i = R, S, T$ ) sind nur noch während der Leitphasen der zugehörigen Dioden proportional zur jeweiligen Außenleiterspannung. Der Leistungsfaktor dieser Anordnung beträgt  $\lambda = 0.9545$ .

Messwerte:	$U = (U_R + U_S + U_T) / 3$	=	18.231V
	$I = (I_R + I_S + I_T) / 3$	=	8.585A
	$P$	=	448.7W
	$S$	=	470.1VA
	$\lambda$	=	0.9545

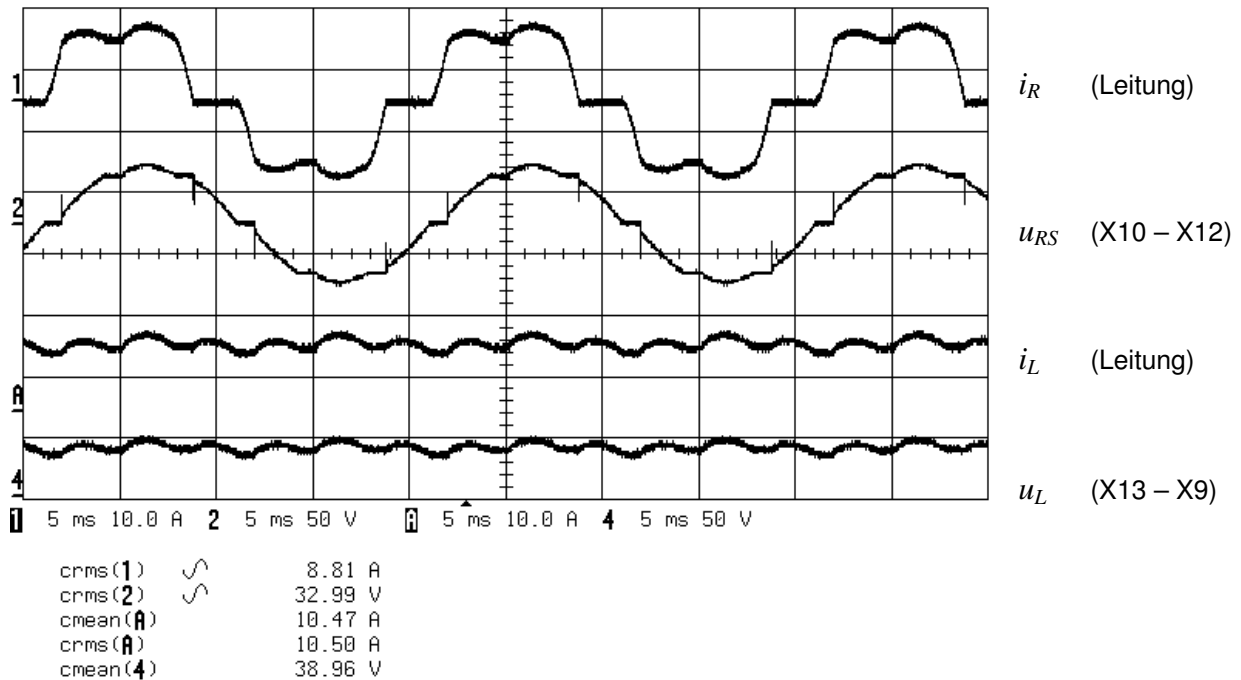


Abb.1.12: : Zeitverläufe der Außenleiterspannung  $u_{RS}$ , des Netzstromes  $i_R$ , der Lastspannung  $u_L$  und des Laststromes  $i_L$  beim dreiphasigen Brückengleichrichter mit ohmscher Last. Die Ströme wurden in den Zu- und Belastungsleitungen erfasst.

### 1.6 Dreiphasiger Brückengleichrichter mit Glättungskondensator am Ausgang

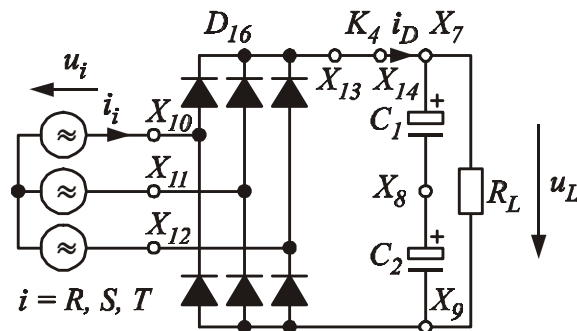


Abb.1.13: Dreiphasiger Brückengleichrichter mit Glättungskondensator am Ausgang und ohmscher Last

In Abb.1.13 ist der dreiphasige Brückengleichrichter mit Glättungskondensator am Ausgang und ohmscher Last dargestellt. Belassen sie die Drehstromquelle (3~Trafo) an den Klemmen  $X_{10} \dots X_{12}$  und belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_7$  und  $X_9$ . Konfigurieren Sie die Relaiskontakte entsprechend.

Das zugehörige Messergebnis ist in Abb.1.14 dargestellt. Sie erkennen, dass die Ausgangsspannung  $u_L$  nun geglättet ist und die Ladung der Ausgangskondensatoren  $C_1$  und  $C_2$  nur in der Umgebung der Netzspannungsspitze erfolgt. Das Netz in diesem Labor hat eine



vergleichsweise hohe Impedanz, wodurch die Stromführungsdauer sehr lang ist und dadurch der Leistungsfaktor mit  $\lambda = 0.9127$  sehr hoch ist.

Messwerte:	$U$	=	19.395V
	$I$	=	9.508A
	$P_1$	=	507.0W
	$S_1$	=	555.5VA
	$\lambda$	=	0.9127

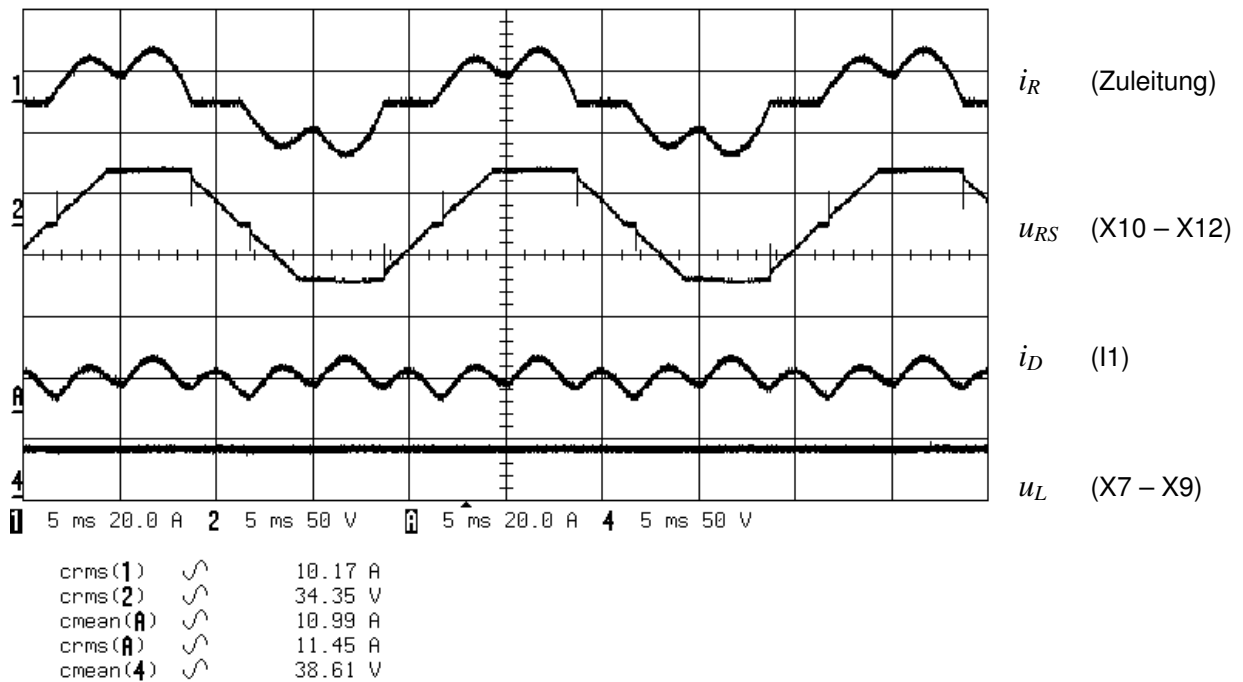


Abb.1.14: Zeitverläufe der Außenleiterspannung  $u_{RS}$ , des Netzstromes  $i_R$ , der Lastspannung  $u_L$  und des Kondensator-Ladestromes  $i_D$  beim dreiphasigen Brückengleichrichter mit Glättungskondensator am Ausgang und ohmscher Last. Der Netzstrom wurde in der Zuleitung gemessen.

### 1.7 Dreiphasiger Brückengleichrichter mit ausgangsseitiger Induktivität und konstanter Ausgangsspannung

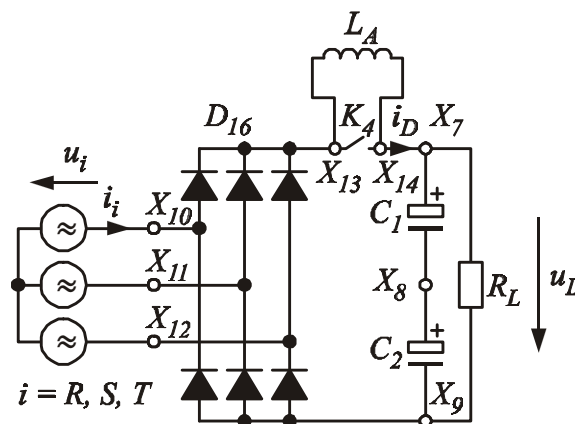
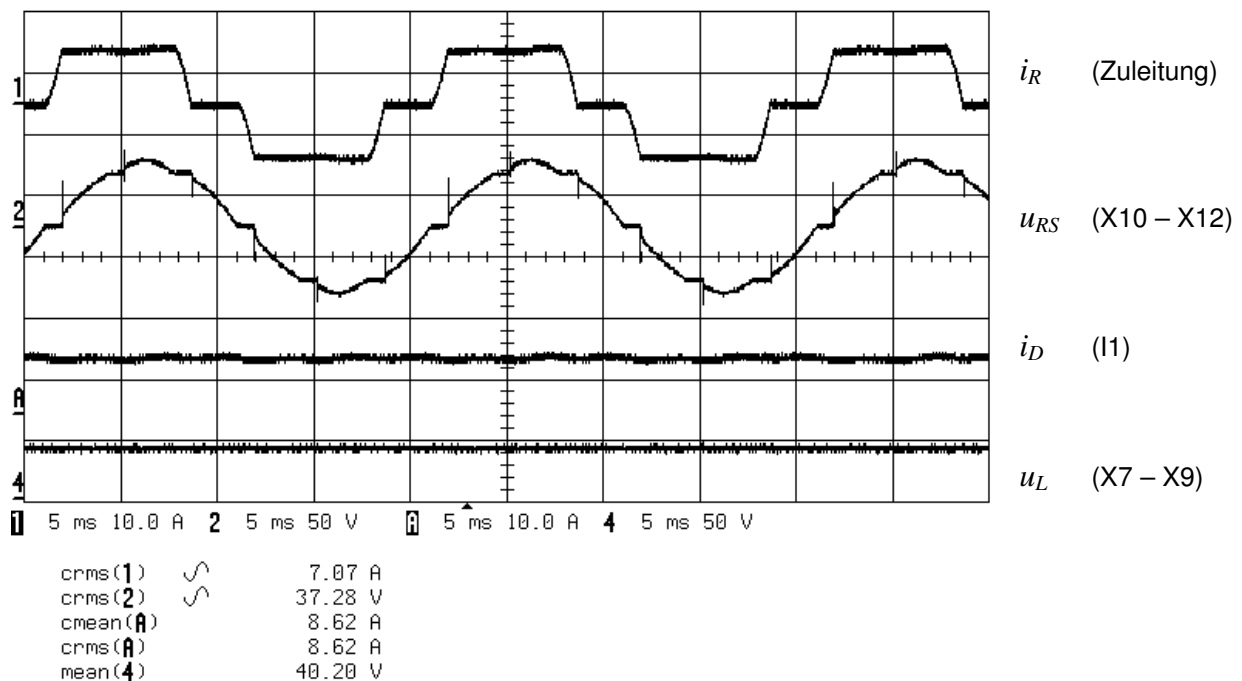


Abb.1.15: Dreiphasiger Brückengleichrichter mit ausgangsseitiger Induktivität und konstanter Ausgangsspannung.

In Abb.1.15 ist der dreiphasige Brückengleichrichter mit ausgangsseitiger Induktivität, konstanter Ausgangsspannung und ohmscher Last dargestellt. Belassen sie die Drehstromquelle (3~Trafo) an den Klemmen  $X_{10} \dots X_{12}$ , klemmen sie eine Induktivität mit ca. 40mH/10A (Abb.1.7) an die Klemmen  $X_{13}$  und  $X_{14}$  und belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_7$  und  $X_9$ . Konfigurieren Sie die Relaiskontakte entsprechend.

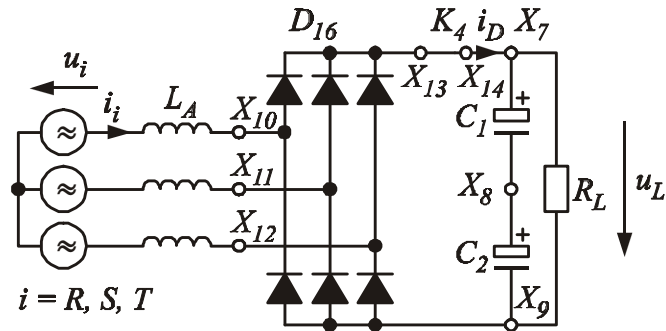
Das zugehörige Messergebnis ist in Abb.1.16 dargestellt. Sie erkennen, dass der Ladestrom des Kondensators  $i_D$  nun beinahe ideal geglättet ist und zu einer Stromführung am Netz während ca.  $\frac{2}{3}$  der Netzperiode führt. Die Welligkeit an den Kondensatoren  $C_1$  und  $C_2$  ist minimal und in diesem Maßstab nicht mehr zu erkennen. Der Leistungsfaktor ist mit  $\lambda = 0.9610$  sehr gut für eine passive Gleichrichtung.

Messwerte:	$U$	=	20.820V
	$I$	=	7.175A
	$P$	=	430.8W
	$S$	=	448.3VA
	$\lambda$	=	0.9610



**Abb.1.16:** Zeitverläufe der Außenleiterspannung  $u_{RS}$ , des Netzstromes  $i_R$ , der Lastspannung  $u_L$  und des Stromes  $i_D$  der Glättungsinduktivität  $L_A$  beim dreiphasigen Brückengleichrichter mit ausgangsseitiger Induktivität, konstanter Ausgangsspannung und ohmscher Last. Der Netzstrom wurde in der Zuleitung erfasst.

### 1.8 Dreiphasiger Brückengleichrichter mit netzseitiger Induktivität und konstanter Ausgangsspannung



**Abb.1.17: Dreiphasiger Brückengleichrichter mit netzseitiger Induktivität und konstanter Ausgangsspannung.**

In Abb.1.17 ist der dreiphasige Brückengleichrichter mit netzseitiger Induktivität, konstanter Ausgangsspannung und ohmscher Last dargestellt. Schalten sie drei Induktivitäten  $L_A$  mit je ca. 5mH zwischen die Drehstromspannungsquelle (3~Trafo) und die Klemmen  $X_{10} \dots X_{12}$  und belasten sie das System mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_7$  und  $X_9$ . Konfigurieren Sie die Relaiskontakte entsprechend.

Leider kann wegen eines Mangels an geeigneten Induktivitäten kein Messergebnis präsentiert werden. Versuchen sie selbst die Ergebnisse zu erfassen und zu interpretieren.

## 2 DC/DC Konverter / Tiefsetzsteller

Abb.2.1 zeigt die Topologie des Tiefsetzgleichstromstellers (Buck Converter). Schließen sie eine Gleichspannungsquelle (Netzgerät)  $U_1$  an die Klemmen  $X_7$  und  $X_9$ , verbinden sie die Klemmen:

- $X_4 - X_{20}$
- $X_9 - X_{21}$

mittels eines Drahtes und belasten sie das System am Ausgang mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_{20}$  und  $X_{21}$ . Sie können das System auch mittels der integrierten Gleichrichterbrücke  $D_{16}$  versorgen, indem sie eine geeignete 3~-Versorgung an den Klemmen  $X_{10} \dots X_{12}$  anschließen.

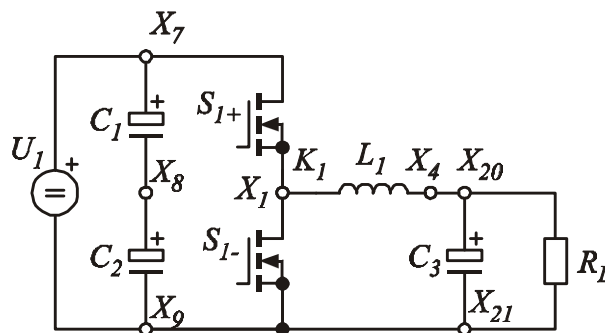


Abb.2.1: Topologie des Tiefsetzgleichstromstellers (Buck Converter).

### 2.1 Gesteuerter Betrieb mit Tastverhältnisvariation

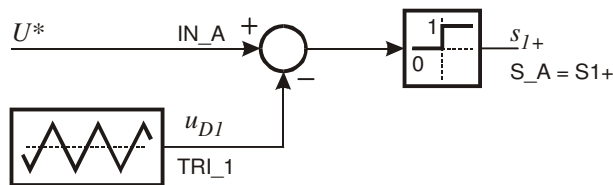
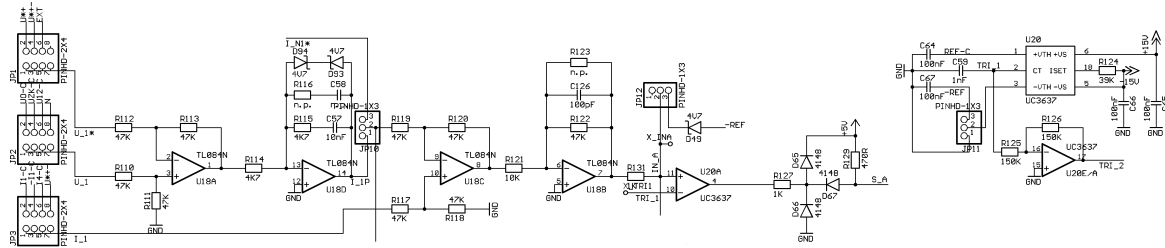


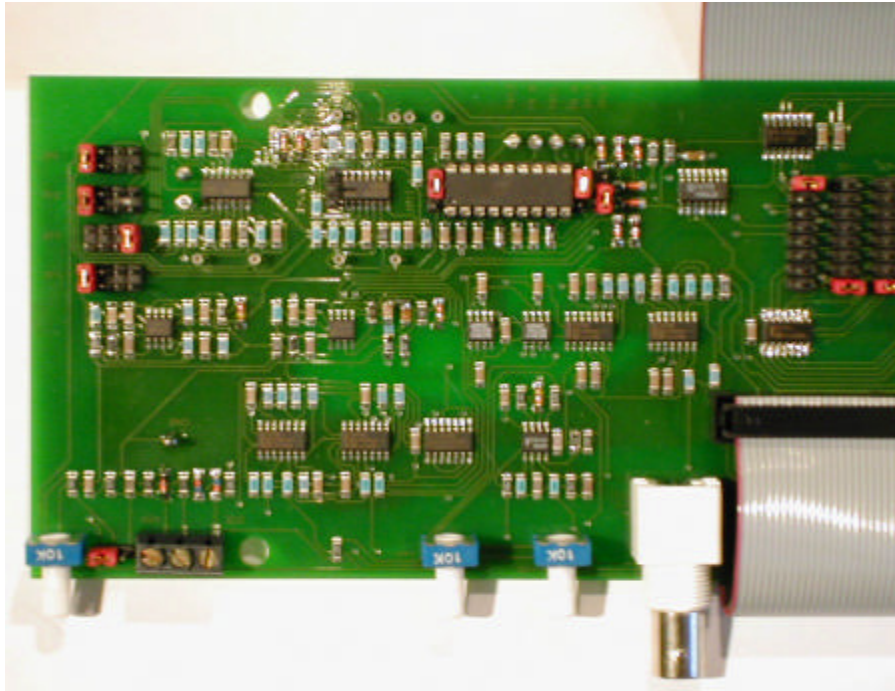
Abb.2.2: Blockschaltbild zur Erzeugung des Schaltsignals  $s_{I+}$  für den MOSFET  $S_{I+}$  durch Verschneidung eines Dreiecks  $u_{DI}$  mit einer konstanten Steuerspannung  $U^*$ .

Das Blockschaltbild zur Erzeugung eines Schaltsignals für den gesteuerten Betrieb des Tiefsetzstellers sehen sie in Abb.2.2, dessen schaltungstechnische Realisierung in Abb.2.3. Das Schaltsignal für den Schalter  $S_{I+}$  wird durch Dreiecksverschneidung des Wertes  $U^*$  mit dem Dreieck  $u_{DI}$  gewonnen. Stellen sie folgende Konfiguration her (siehe Abb.2.4):

- JP3:  $U^*+-$  (ganz rechts, Pins 7-8)
- JP10: entfernen
- JP11: -REF (oben, Pins 2-3)
- JP12: unten oder entfernen (Pins 1-2)
- JPS1+: auf Position S\_A (ganz oben, Pins 1-2)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)



**Abb.2.3: Schaltungstechnische Realisierung der Dreiecksverschneidung (Seite 5 in der Gesamtschaltung).**



**Abb.2.4: Konfiguration der Jumper für den gesteuerten Betrieb des Tiefsetzstellers.**

In Abb.2.5 sehen sie das Oszillogramm zur Erzeugung des Schaltsignals  $S_A = S_{1+}$  mittels Dreiecksverschneidung. Sie können nun durch drehen am Potentiometer  $U^{*+}$  das Signal  $U^*$  ( $=IN\_A$ ) variieren und damit das gewünschte Tastverhältnis (duty cycle) einstellen.

Abb.2.6 zeigt den Strom der Induktivität  $L_1$ , die Drain-Source-Spannungsbeanspruchung  $u_{DS1+}$  des MOSFET  $S_{1+}$  und das zugehörige Schaltsignal  $s_{1+}$ . Beachten Sie den Spitzenwert der Spannung  $\hat{u}_{DS1+}=84.4V$  bei einer Zwischenkreisspannung von ca. 45V zufolge der Induktivitäten im Kommutierungskreis beim Ausschalten.

In Abb.2.7 ist nun der Schalterstrom  $i_{S1+}$  anstatt des Drosselstromes  $i_{L1}$  dargestellt. Sie erkennen, dass der MOSFET  $S_{1+}$  während der „1“- Phasen des Schaltsignales  $s_{1+}$  den Drosselstrom vollständig übernimmt. Abb.2.8 zeigt den Strom der Freilaufdiode  $S_{1-}$  (hier wird die interne „Body“- Diode des MOSFET  $S_{1-}$  benutzt). Der Rückwärtserholungseffekt („reverse recovery“) dieser Diode ist deutlich zu erkennen. Zur Veranschaulichung ist dieser Effekt in Abb.2.9 in einem kleineren Zeitmaßstab (500ns / DIV) dargestellt. Beachten Sie, dass der negative Spitzenwert des Diodenstromes zufolge des reverse recovery sogar vom Betrag größer (-20.3A) als der Vorwärtsstrom (9.7A) ist.

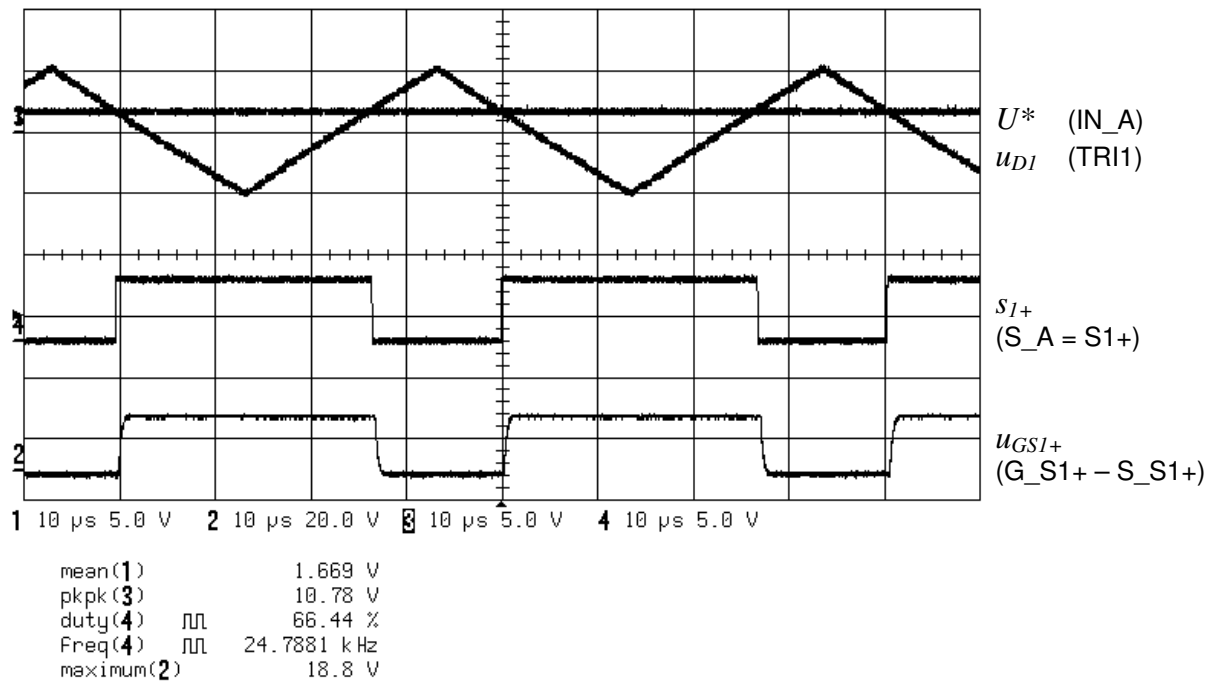


Abb.2.5: Erzeugung des Schaltsignals  $S_A = S_{1+}$  durch Vergleich des Dreiecks  $u_{DI}$  (TRI1) mit  $U^*$  (IN\_A) mittels des Komparators U20A. Kanal 2 misst die Gate-Source-Spannung  $u_{GSI+}$  des MOSFET  $S_{1+}$ .

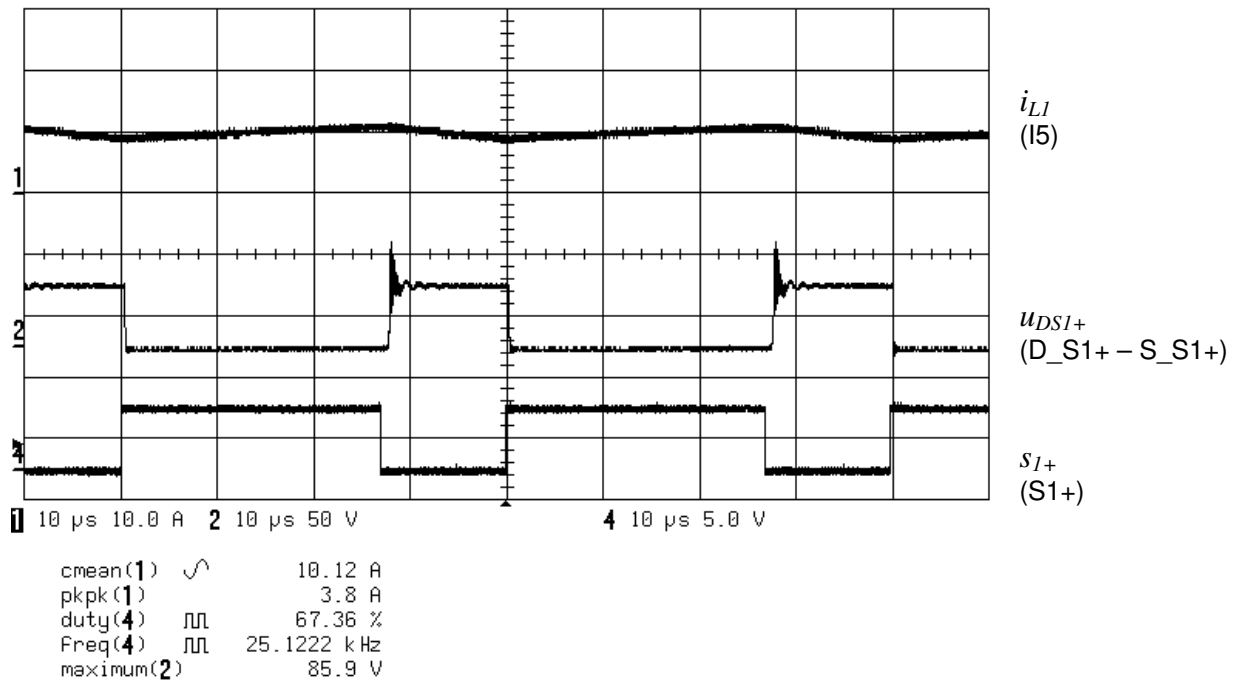


Abb.2.6: Strom der Induktivität  $L_I$  ( $I_{L,avg} = 10.21A$ ), Drain-Source-Spannungsbeanspruchung  $u_{DSI+}$  des MOSFET  $S_{1+}$  und Schaltsignal  $s_{1+}$ .

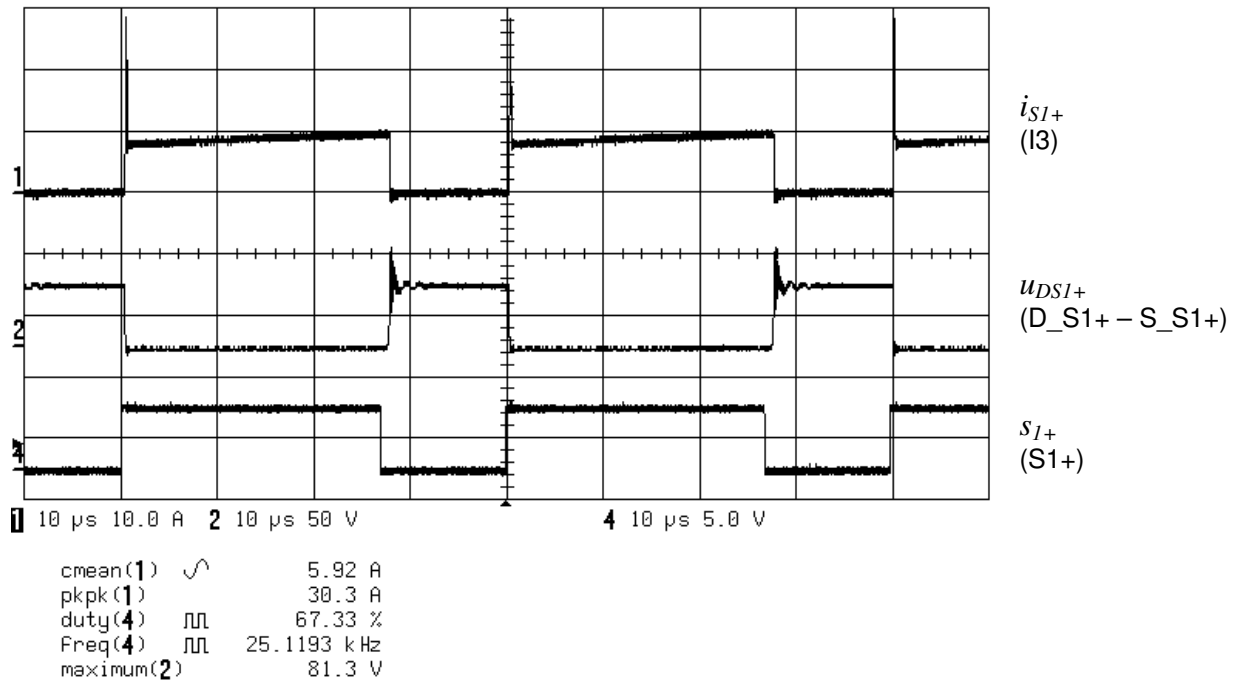


Abb.2.7: Schalterstrom  $i_{S1+}$ , Schalterspannung  $u_{DS1+}$  und Schaltsignal  $s_{1+}$ .

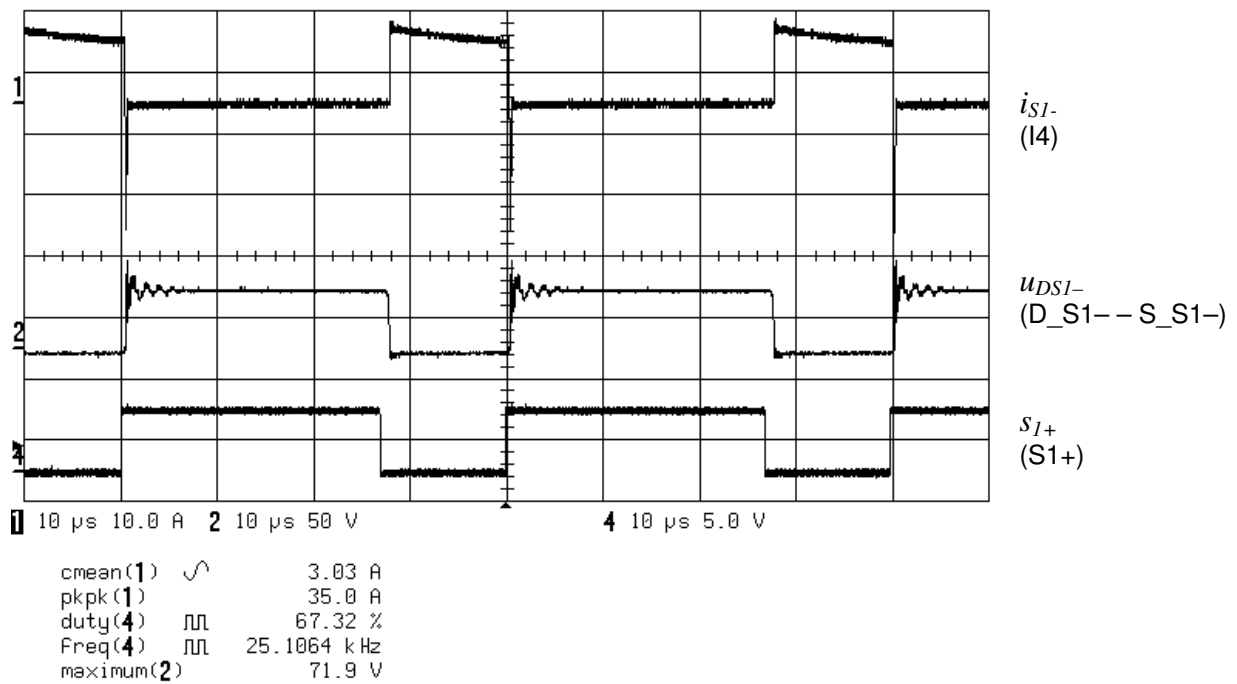
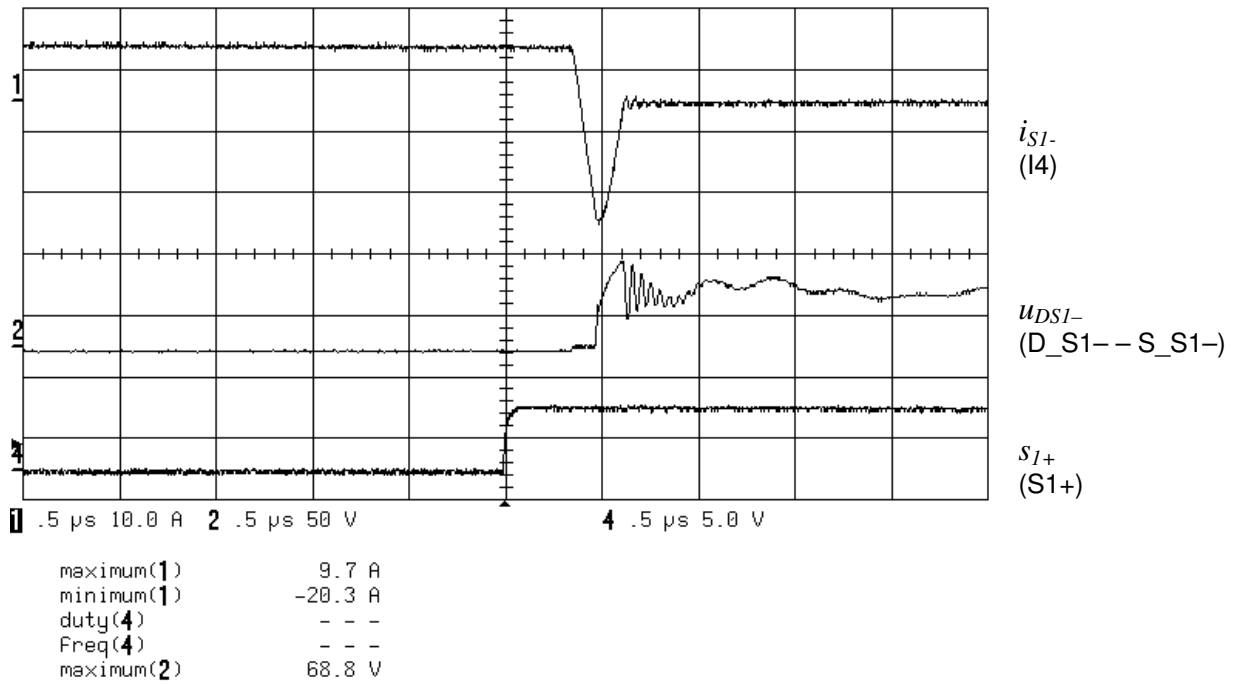
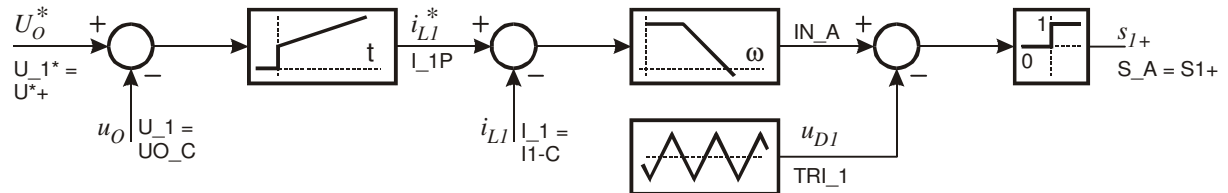


Abb.2.8: Diodenstrom  $i_{S1-}$ , Diodenspannung  $u_{DS1-}$  und Schaltsignal  $s_{1+}$ . Die negative Stromspitze beim Einschalten des MOSFET  $S_{1+}$  tritt zu Folge des Rückwärtserholungseffekts (reverse recovery) der Freilaufdiode  $S_1$  auf.



**Abb.2.9: Diodenstrom  $i_{S1-}$ , Diodenspannung  $u_{DS1-}$  und Schaltsignal  $s_{I+}$ . Reverse recovery Effekt im Zeitmaßstab 500ns / DIV.**

## 2.2 Regelung der Ausgangsspannung



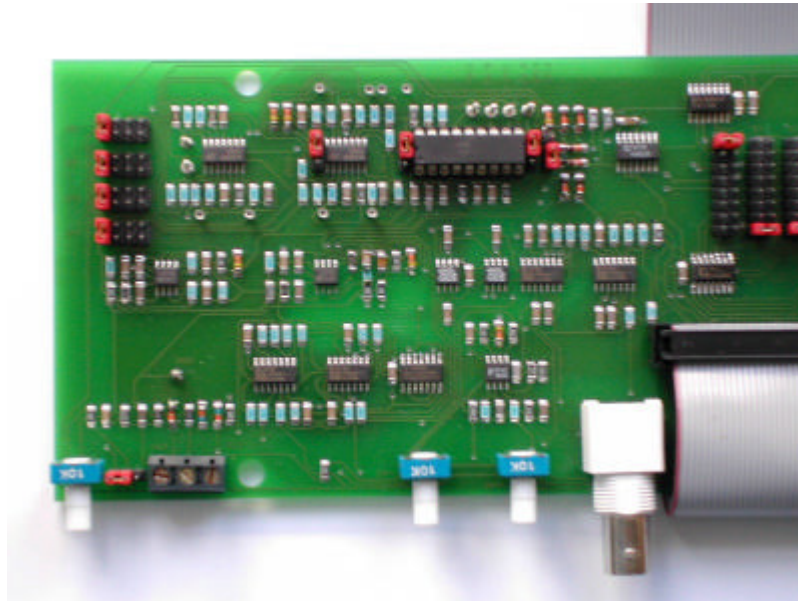
**Abb.2.10: Blockschaltbild zur Erzeugung des Schaltsignals  $s_{I+}$  für den MOSFET  $S_{I+}$  für geregelte Ausgangsspannung  $u_o$ . Die Regelung ist kaskadiert mit innerer Stromregelschleife und äußerer Spannungsregelung ausgeführt.**

In Abb.2.10 ist die Blockschaltung für den geregelten Betrieb des Tiefsetzstellers dargestellt. Sie besteht aus einer inneren Stromregelschleife (ausgeführt als PT1-Regler) der seinen Sollwert  $i_{LI}^*$  von einer überlagerten, äußeren Spannungsregelschleife erhält. Der Spannungsregler ist als PI-Regler ausgeführt, damit er stationärgenaueres Verhalten aufweist. Die schaltungstechnische Realisierung ist wieder in Abb.2.3 dargestellt. Für den geregelten Betrieb muss nun folgende Konfiguration hergestellt werden (Abb.2.11):

- JP1:  $U^{*+}$  (ganz links, Pins 1-2)
- JP2:  $UO-C$  (ganz links, Pins 1-2)
- JP3:  $I1-C$  (ganz links, Pins 1-2)
- JP10:  $I_1P$  (oben, Pins 1-2)
- JP11:  $-REF$  (oben, Pins 2-3)
- JP12: unten (Pins 1-2)



- JPS1+: auf Position S\_A (ganz oben, Pins 1-2)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)



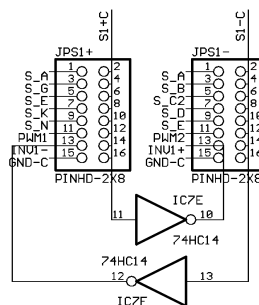
**Abb.2.11: Konfiguration der Jumper für den geregelten Betrieb des Tiefsetzstellers.**

Der Leistungsteil bleibt bis hierher ident.

Die Oszillogramme der geschalteten Signale ändern sich nicht (vergleiche Abb.2.5 ... Abb.2.9), beobachten sie die Ausgangsspannung bei unterschiedlichen Belastungen, sie wird nun durch den Ausgangsspannungsregler U18D auf einen konstanten, durch Potentiometer  $U^+$  einstellbaren Sollwert  $u_0^*$ , geregelt. Auch wenn die Eingangsspannung verändert wird, bleibt die Ausgangsspannung auf dem konstanten, eingestellten Wert.

### 2.3 Geregelter Betrieb mit Synchrongleichrichtung

Die Schaltung nach Abb.2.1 kann durch aktive Verwendung des MOSFET  $S_{I-}$  zur Synchrongleichrichtung modifiziert werden. Das Blockschaltbild für den geregelten Betrieb mit Synchrongleichrichtung ist in Abb.2.13 dargestellt. Es wird ein dem Schaltsignal  $s_{I+}$  invertiertes Signal  $s_{I-}$  für den MOSFET  $S_{I-}$  erzeugt und diesem über JPS1- zugeführt. Die schaltungstechnische Realisierung der Inversion ist in Abb.2.12 dargestellt. D.h.: Für den Betrieb mit Synchrongleichrichtung muss der Jumper JPS1- auf Position INV1+ (Pins 13-14) umgesteckt werden.



**Abb.2.12: Inversion des Schaltsignals  $s_{I+}$  (S1+C) mittels IC7E für  $s_{I-}$  (S1-C).**

Bevor sie den Jumper umstecken, stellen sie eine kleinere Ausgangsspannung von ca.  $u_O = 10V$  ein und entlasten sie das System soweit, dass der Strom in der Induktivität lückt (Abb.2.14). Bringen sie nun bei abgeschalteter Zwischenkreisspannung den Jumper JPS1- auf Position INV1+ (Pins 13-14) und vergleichen sie das resultierende Oszillogramm (Abb.2.15). Sie erkennen, dass nun durch die aktive Verwendung des MOSFET  $S_{I-}$  der Strom in der Induktivität  $L_I$  auch negative Werte annehmen kann und dass zur Erlangung der gleichen Ausgangsspannung vom Ausgangsspannungsregler ein anderes Tastverhältnis eingestellt werden muss ( $\delta = 22.68\%$  statt  $14.89\%$ ). Der Wirkungsgrad sollte bei großer Belastung ansteigen.

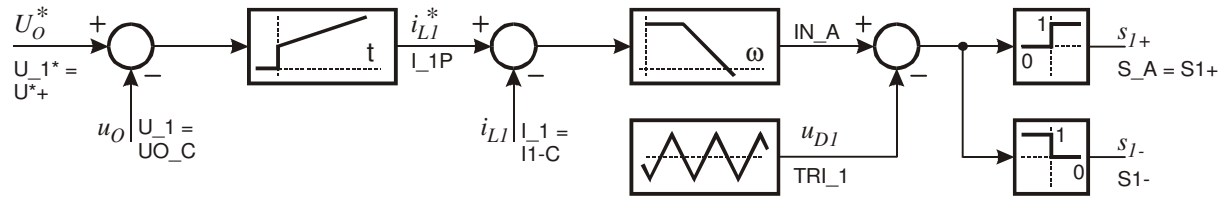


Abb.2.13: Blockschaltung des geregelten Betriebes mit Synchrongleichrichtung.

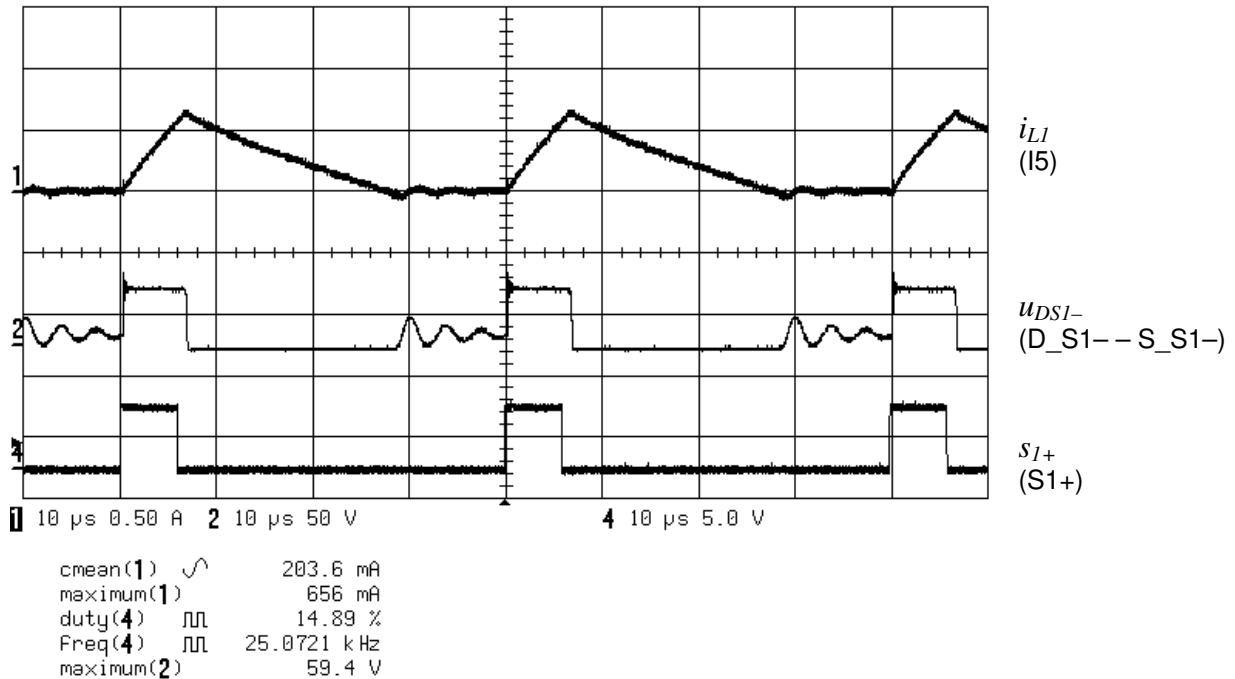
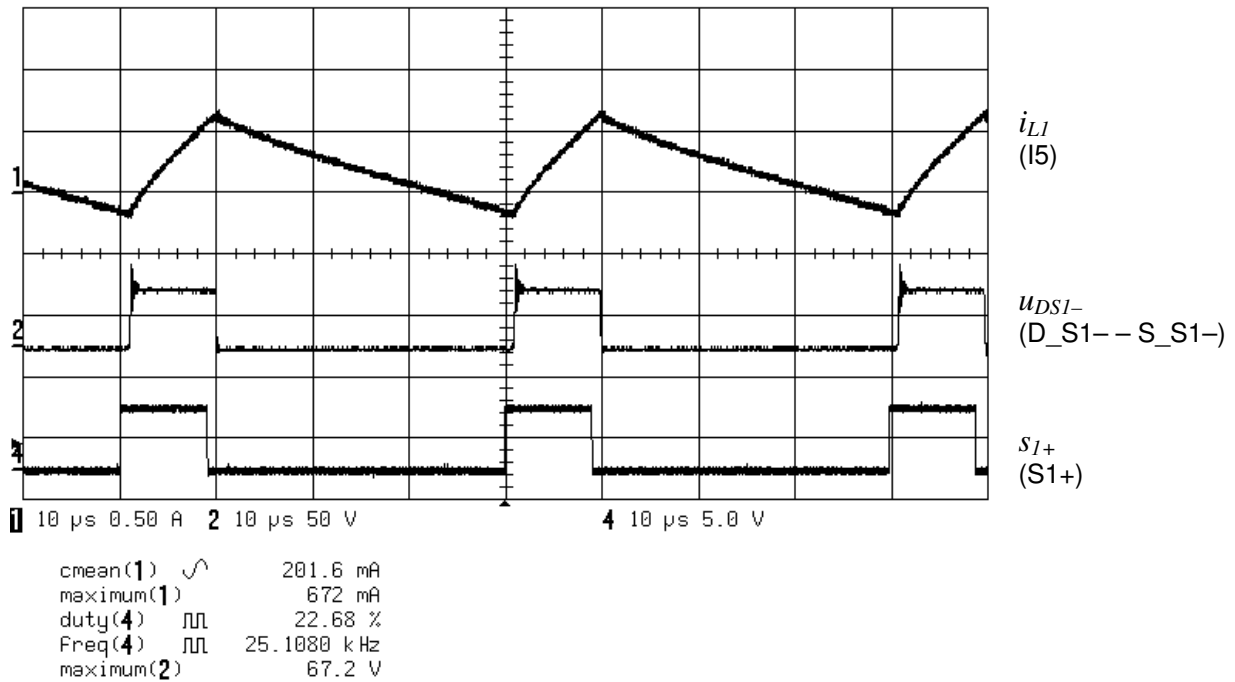


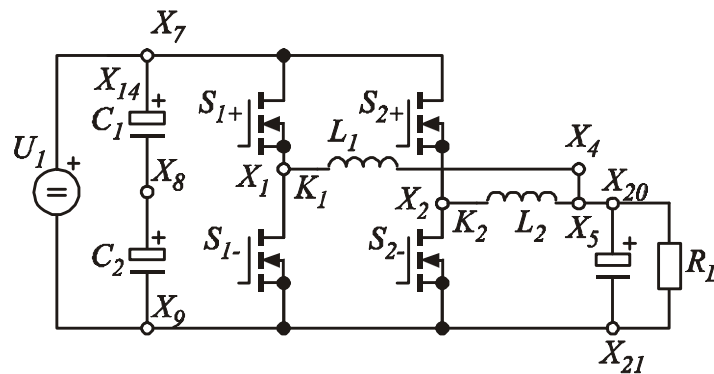
Abb.2.14: Lückender Betrieb des Tiefsetzstellers ohne Synchrongleichrichtung.



**Abb.2.15: Betrieb des Tiefsetzstellers mit Synchrongleichrichtung: Der Strom in der Induktivität  $L_1$  kann durch aktive Verwendung des Schalters  $S_{1-}$  auch negative Werte annehmen.**

### 2.4 Phasenversetzte Taktung zweier Brückenzeige

Mit dem gegenständlichen „Converter Lab“ ist es auch möglich das Prinzip der phasenversetzten Taktung zweier Brückenzeige zur Minimierung des Stromrippels zu zeigen. Die Topologie dazu ist in Abb.2.16 zu sehen.



**Abb.2.16: Topologie des Tiefsetzstellers zur phasenversetzten Taktung zweier Brückenzeige.**

Verbinden sie daher:

- $X_4 - X_5$
- $X_5 - X_{20}$
- $X_9 - X_{21}$

am Leistungsteil und konfigurieren sie die Relaiskontakte neu. Das Blockschaltbild der Regelung ist in Abb.2.17 zu sehen, die schaltungstechnische Realisierung in Abb.2.18.

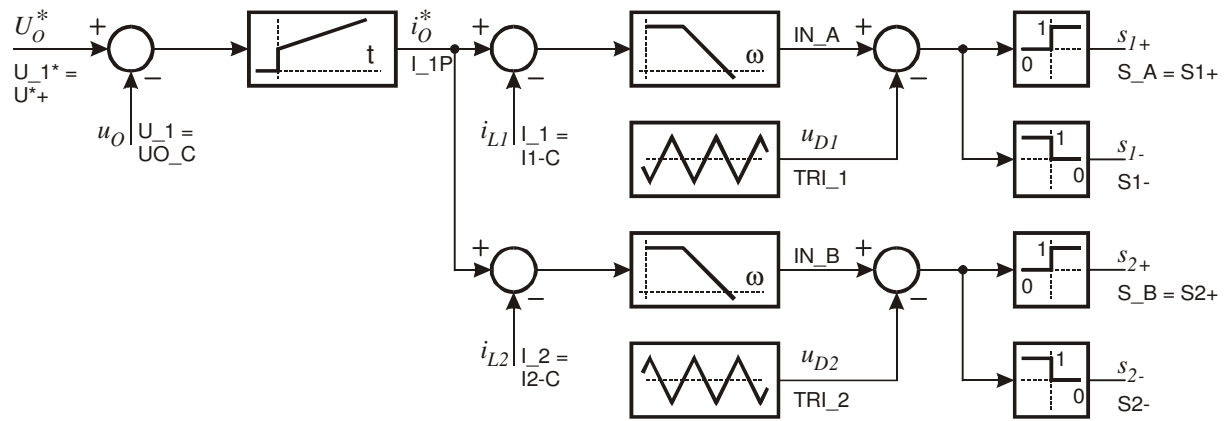


Abb.2.17: Blockschaltbild der Regelung für phasenversetzte Taktung zweier Brückenarme mit synchroner Gleichrichtung.

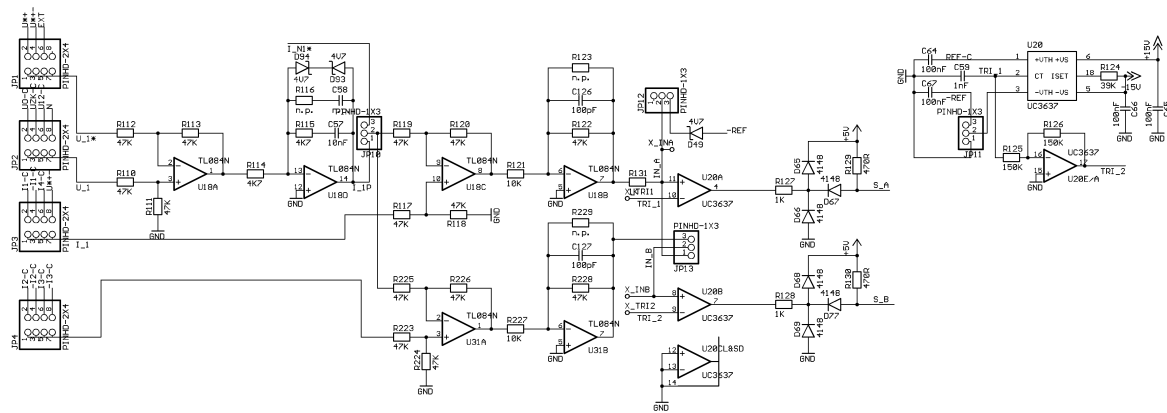
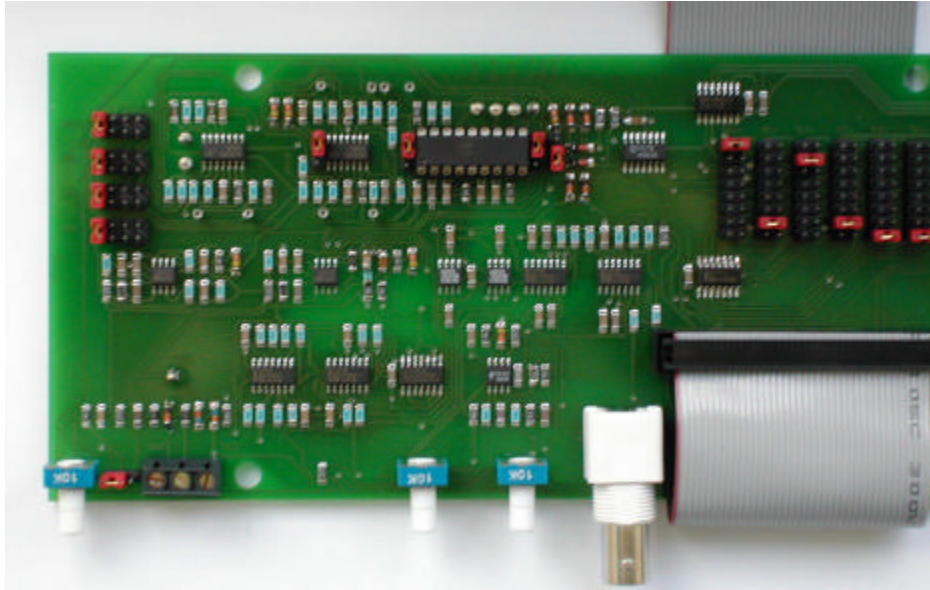


Abb.2.18: Schaltungstechnische Realisierung der Regelung für phasenversetzte Taktung von zwei Brückenarmen. Das Dreieck TRI\_1 wird durch U20E/A invertiert (TRI\_2) und mit dem von einem Stromregelkreis U31A/B gebildeten Signal IN\_B mittels U20B verglichen.

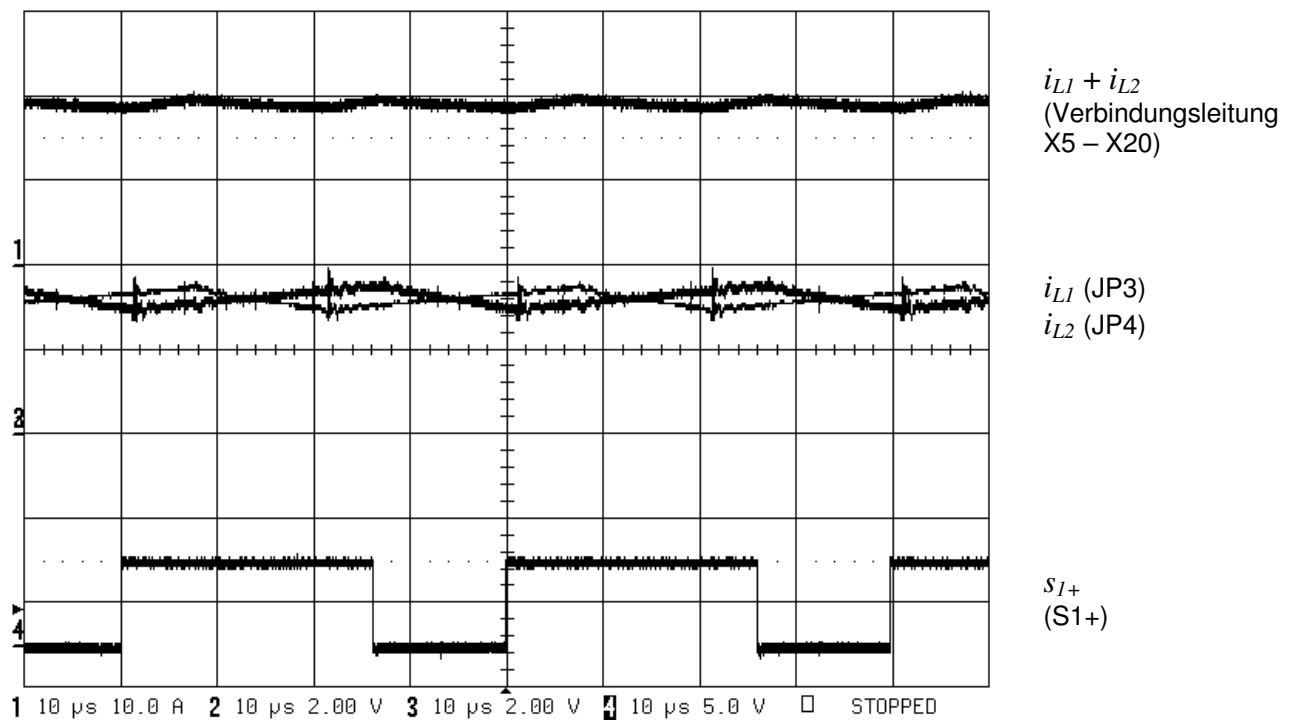
Stellen sie folgende Konfiguration her (Abb.2.19):

- JP1: U\*+ (ganz links, Pins 1-2)
- JP2: UO-C (ganz links, Pins 1-2)
- JP3: I1-C (ganz links, Pins 1-2)
- JP4: I2-C (ganz links, Pins 1-2)
- JP10: I\_1P (oben, Pins 1-2)
- JP11: -REF (oben, Pins 2-3)
- JP12: unten (Pins 1-2)
- JP13: oben (Pins 2-3)
- JPS1+: auf Position S\_A (ganz oben, Pins 1-2)
- JPS1-: auf Position INV1+ (2. Pos. von unten, Pins 13-14)
- JPS2+: auf Position S\_B (2.Pos. von oben, Pins 3-4)
- JPS2-: auf Position INV2+ (2. Pos. von unten, Pins 13-14)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)

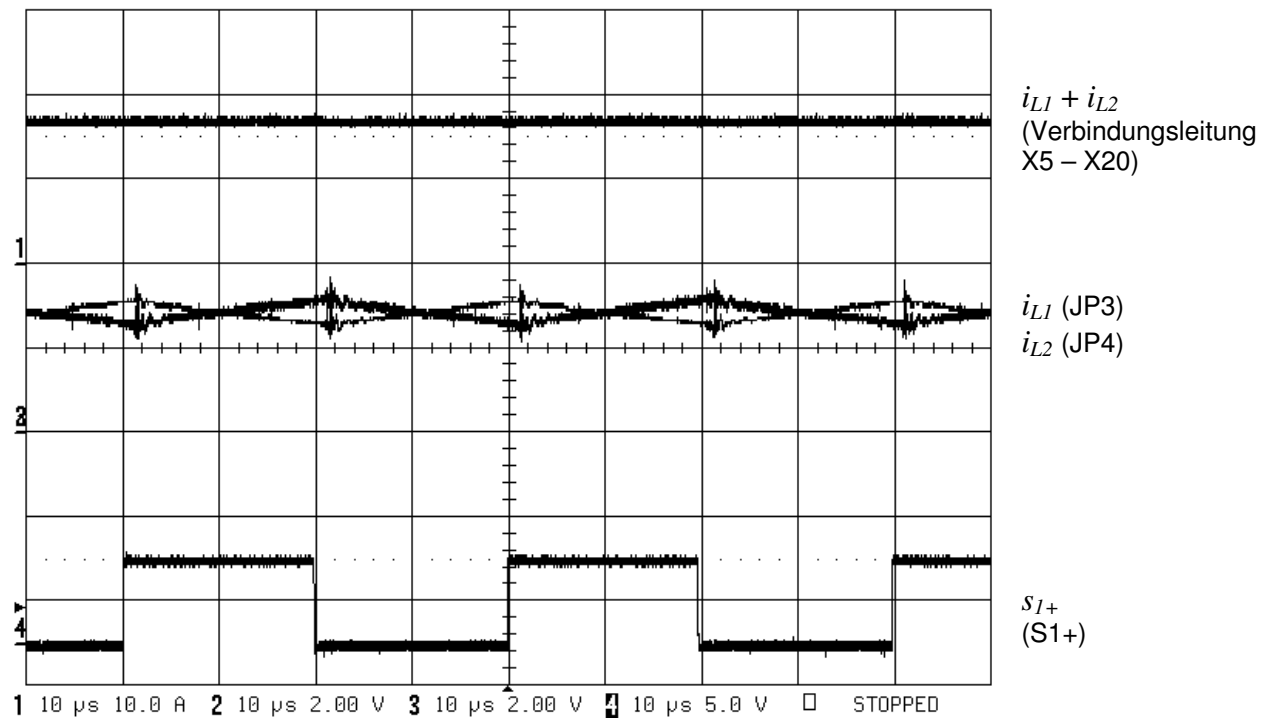


**Abb.2.19: Konfiguration der Jumper für den geregelten Betrieb des Tiefsetzstellers mit phasenversetzter Taktung und Synchrongleichrichtung.**

Die Stromverläufe bei phasenversetzter Taktung sind in Abb.2.20 dargestellt. Das Konvertersystem könnte nun den doppelten Ausgangsstrom im Vergleich zum Betrieb mit nur einem Brückenzweig. Beim Betrieb des Systems vom 3~-Netz ist jedoch eine Überhitzung der Leiterbahnen im Bereich des Brückengleichrichters nicht ausgeschlossen und sollte daher nur kurz mit Strömen über 10A betrieben werden. Bei einem Tastverhältnis  $\delta = 50\%$  wird der schaltfrequente Rippel der Teilströme im Gesamtstrom vollständig kompensiert (Abb.2.21).



**Abb.2.20: Gesamtstrom und Teilströme bei phasenversetzter Taktung des Tiefsetzstellers. Die Teilströme werden über die Stromwandler erfasst und an den Jumpern JP3 und JP4 gemessen.**



**Abb.2.21: Gesamtstrom und Teilströme bei phasenversetzter Taktung des Tiefsetzstellers bei Tastverhältnis  $\delta = 50\%$ : Der Rippel der Teilströme wird im Gesamtstrom vollständig kompensiert.**

### 3 DC/DC Konverter / Hochsetzsteller

Abb.3.1 zeigt die Topologie des Hochsetzgleichstromstellers (Boost Converter). Schließen sie eine Gleichspannungsquelle (Netzgerät)  $U_1$  an die Klemmen  $X_{20}$  und  $X_{21}$ , verbinden sie die Klemmen:

- $X_4 - X_{20}$
- $X_9 - X_{21}$

mittels eines Drahtes und belasten sie das System am Ausgang mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_7$  und  $X_9$ . Sie können das System auch mittels der integrierten Gleichrichterbrücke  $D_{16}$  versorgen, indem sie eine geeignete 3~-Versorgung an den Klemmen  $X_{10} \dots X_{12}$  anschließen und  $X_{13}$  mit  $X_{20}$  verbinden.

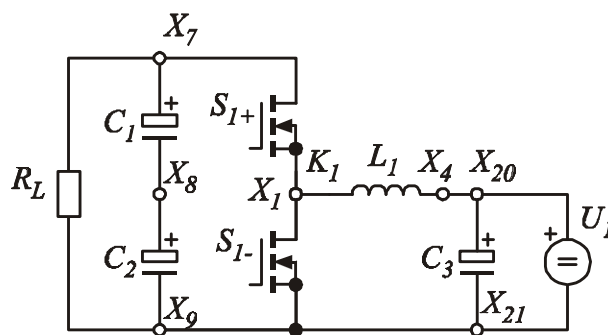


Abb.3.1: Topologie des Hochsetzgleichstromstellers (Boost Converter).

#### 3.1 Gesteuerter Betrieb mit Tastverhältnisvariation

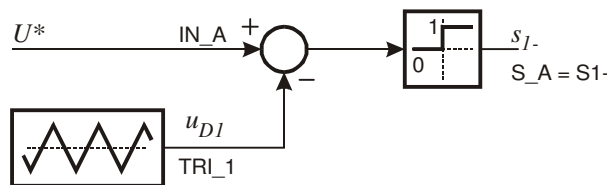
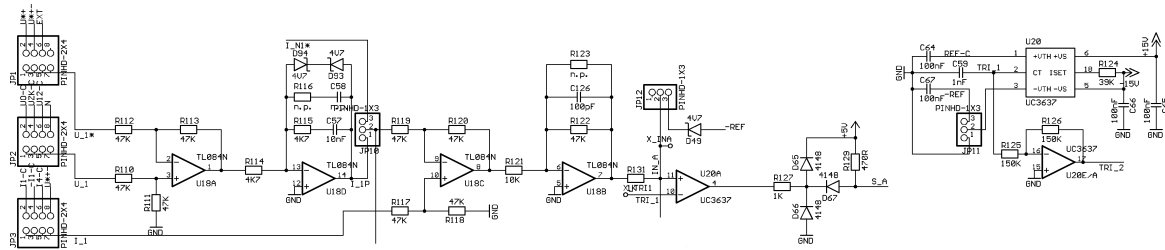


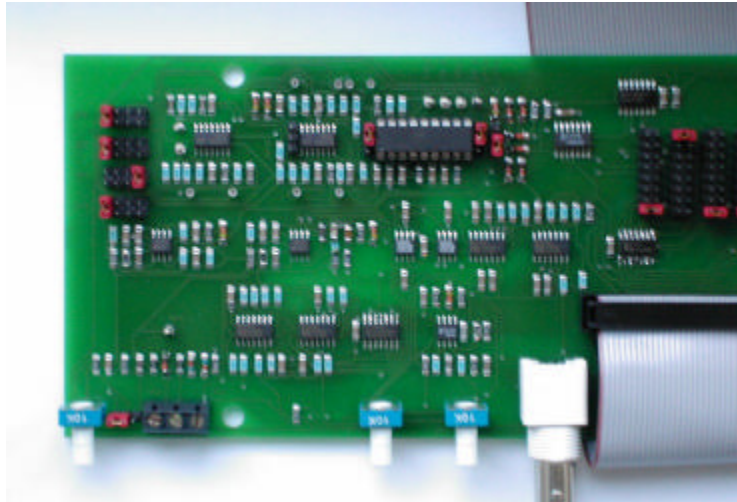
Abb.3.2: Blockschaltbild zur Erzeugung des Schaltsignals  $s_{1-}$  für den MOSFET  $S_{1-}$  durch Verschneidung eines Dreiecks  $u_{DI}$  mit einer konstanten Steuerspannung  $U^*$ .

Das Blockschaltbild zur Erzeugung eines Schaltsignals für den gesteuerten Betrieb des Hochsetzstellers sehen sie in Abb.3.2, dessen schaltungstechnische Realisierung in Abb.3.3. Das Schaltsignal für den Schalter  $S_{1-}$  wird durch Dreiecksverschneidung des Wertes  $U^*$  mit dem Dreieck  $u_{DI}$  gewonnen. Stellen sie folgende Konfiguration her (siehe Abb.3.4):

- JP3:  $U^*+-$  (ganz rechts, Pins 7-8)
- JP10: entfernen
- JP11: -REF (oben, Pins 2-3)
- JP12: unten oder entfernen (Pins 1-2)
- JPS1-: auf Position  $S_A$  (ganz oben, Pins 1-2)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)



**Abb.3.3: Schaltungstechnische Realisierung der Dreiecksverschneidung (Seite 5 in der Gesamtschaltung).**



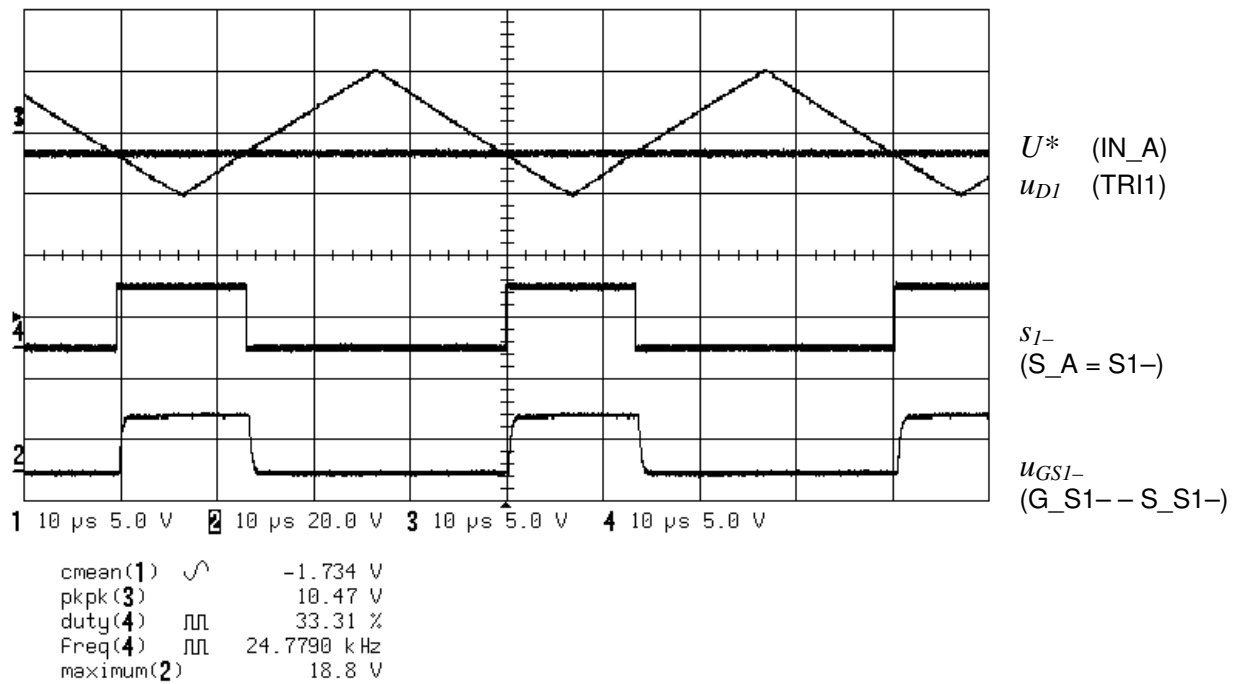
**Abb.3.4: Konfiguration der Jumper für den gesteuerten Betrieb des Hochsetzstellers.**

In Abb.3.5 sehen sie das Oszillogramm zur Erzeugung des Schaltsignals  $S_{A-} = S_{1-}$  mittels Dreiecksverschneidung. Sie können nun durch drehen am Potentiometer  $U^{*+}$  das Signal  $U^*$  ( $=IN_{A-}$ ) variieren und damit das gewünschte Tastverhältnis (duty cycle) einstellen.

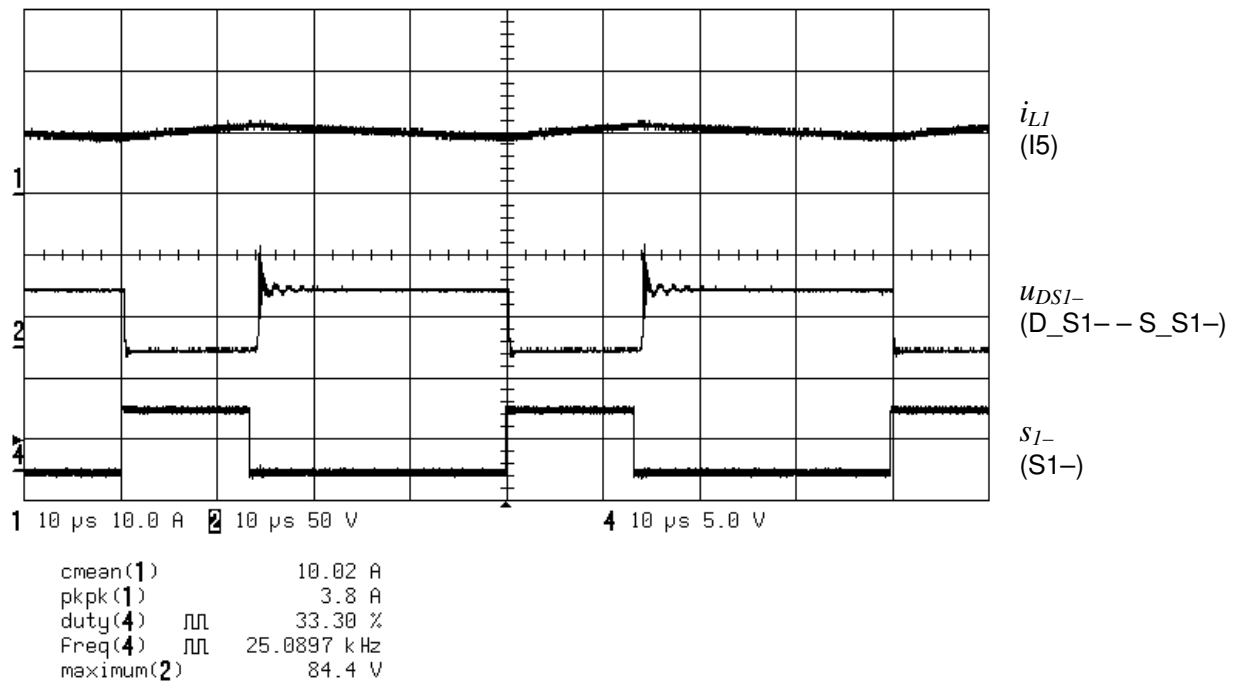
Abb.3.6 zeigt den Strom der Induktivität  $L_1$ , die Drain-Source-Spannungsbeanspruchung  $u_{DS1-}$  des MOSFET  $S_{1-}$  und das zugehörige Schaltsignal  $s_{1-}$ . Beachten Sie den Spitzenwert der Spannung  $\hat{u}_{DS1-} = 84.4V$  bei einer Zwischenkreisspannung von ca. 45V zufolge der Induktivitäten im Kommutierungskreis beim Ausschalten.

In Abb.3.7 ist nun der Schalterstrom  $i_{S1-}$  anstatt des Drosselstromes  $i_{L1}$  dargestellt. Sie erkennen, dass der MOSFET  $S_{1-}$  während der „1“- Phasen des Schaltsignales  $s_{1-}$  den Drosselstrom vollständig übernimmt. Abb.3.8 zeigt den Strom der Freilaufdiode  $S_{1+}$  (hier wird die interne „Body“- Diode des MOSFET  $S_{1+}$  benutzt). Der Rückwärtserholungseffekt („reverse recovery“) dieser Diode ist deutlich zu erkennen. Zur Veranschaulichung ist dieser Effekt in Abb.3.9 in einem kleineren Zeitmaßstab (500ns / DIV) dargestellt. Beachten Sie, dass der negative Spitzenwert des Diodenstromes zufolge des reverse recovery sogar vom Betrag größer (-20.6A) als der Vorwärtsstrom (9.7A) ist.





**Abb.3.5:** Erzeugung des Schaltsignals  $S_A = S_{1-}$  durch Vergleich des Dreiecks  $u_{DI}$  (TRI1) mit  $U^*$  (IN\_A) mittels des Komparators U20A. Kanal 2 misst die Gate-Source-Spannung  $u_{GSI-}$  des MOSFET  $S_{1-}$ .



**Abb.3.6:** Strom der Induktivität  $L_1$  ( $I_{L,avg} = 10.02A$ ), Drain-Source-Spannungsbeanspruchung  $u_{DS1-}$  des MOSFET  $S_{1-}$  und Schaltsignal  $s_{1-}$ .

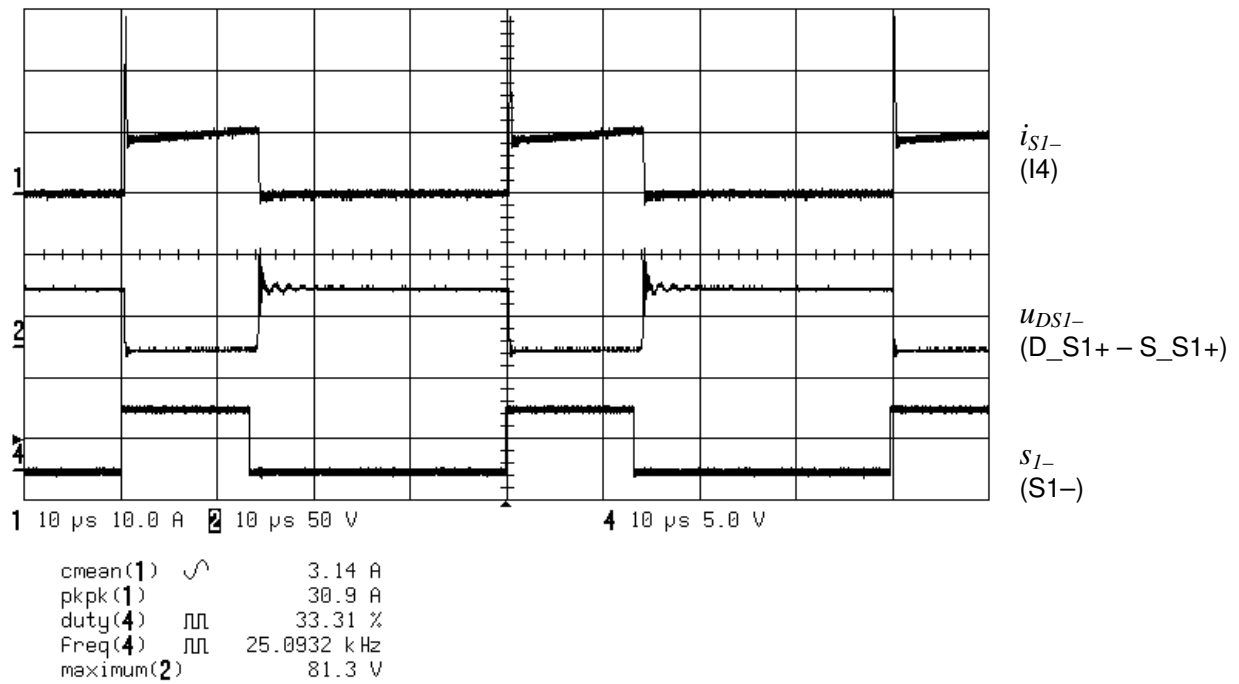


Abb.3.7: Schalterstrom  $i_{S1-}$ , Schalterspannung  $u_{DS1-}$  und Schaltsignal  $s_{1-}$ .

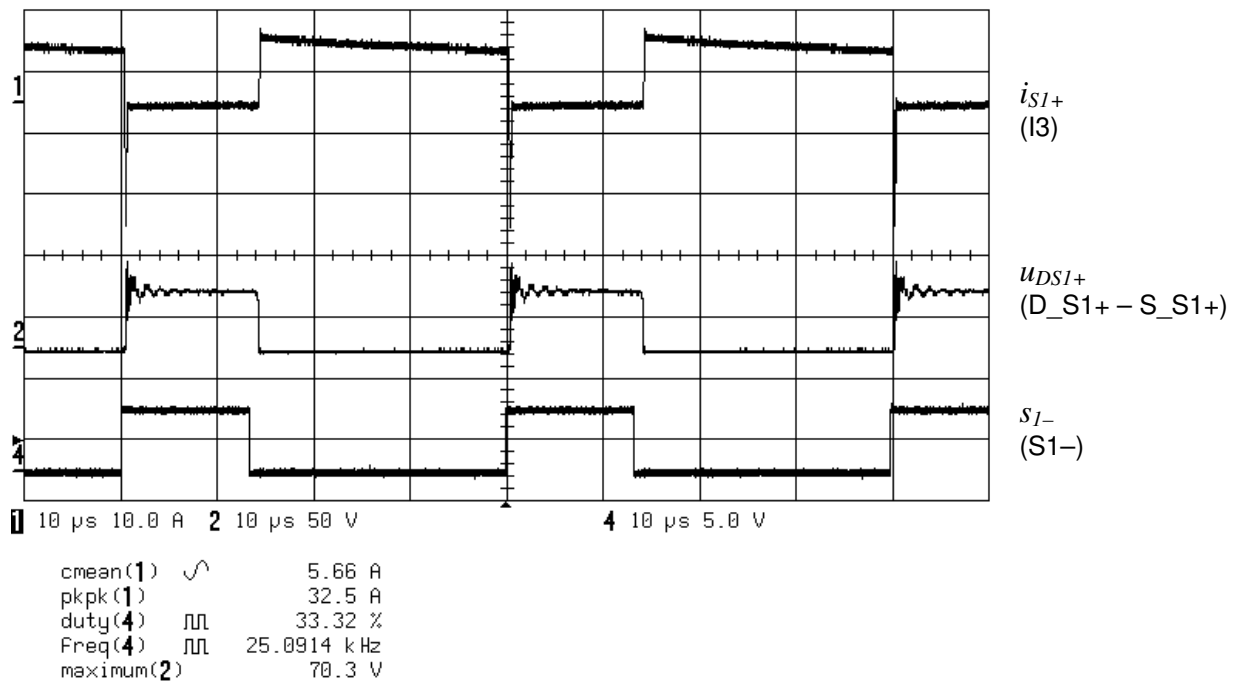
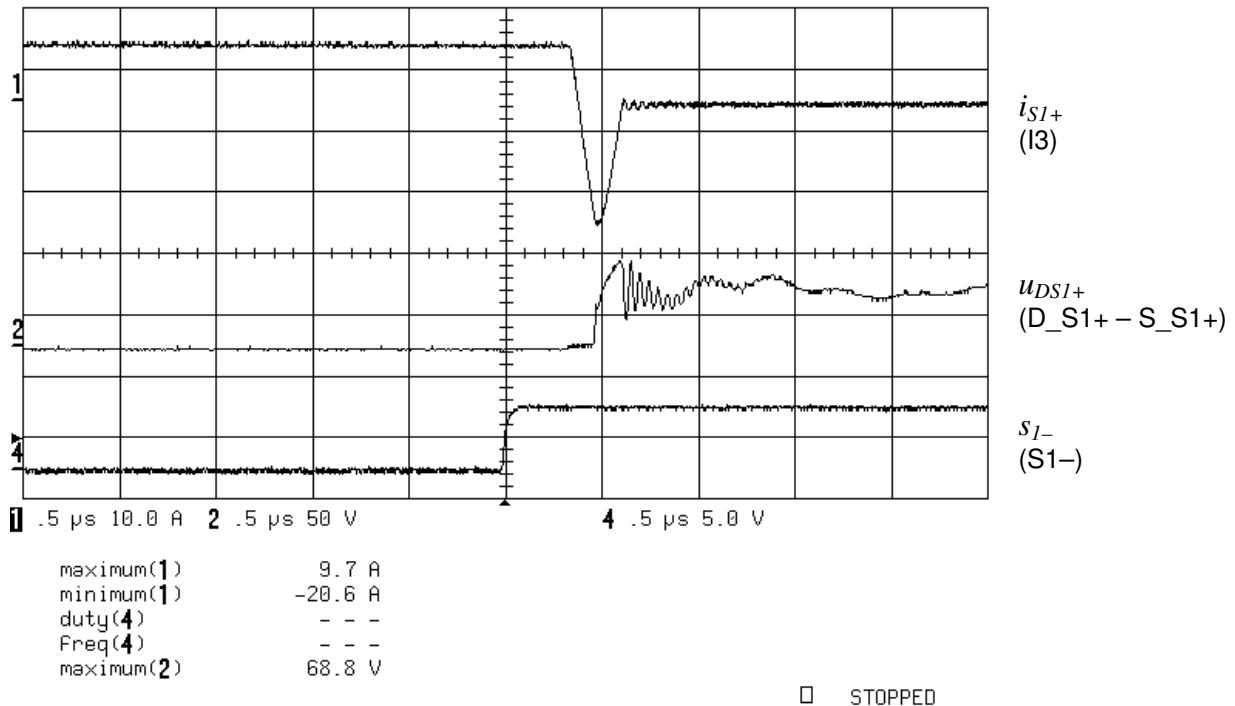
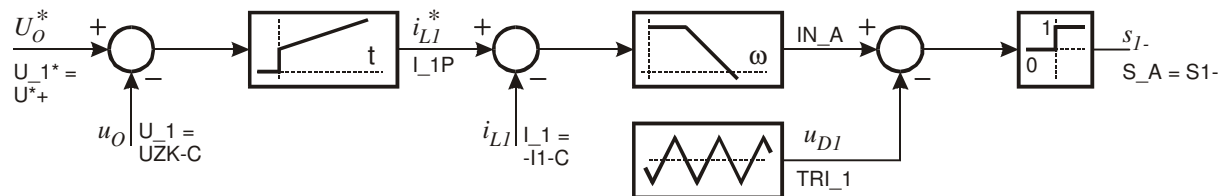


Abb.3.8: Diodenstrom  $i_{S1+}$ , Diodenspannung  $u_{DS1+}$  und Schaltsignal  $s_{1-}$ . Die negative Stromspitze beim Einschalten des MOSFET  $S_{1-}$  tritt zu Folge des Rückwärtserholungseffekts (reverse recovery) der Freilaufdiode  $S_{1+}$  auf.



**Abb.3.9: Diodenstrom  $i_{S1+}$ , Diodenspannung  $u_{DS1+}$  und Schaltsignal  $s_{L-}$ . Reverse recovery Effekt im Zeitmaßstab 500ns / DIV.**

### 3.2 Regelung der Ausgangsspannung

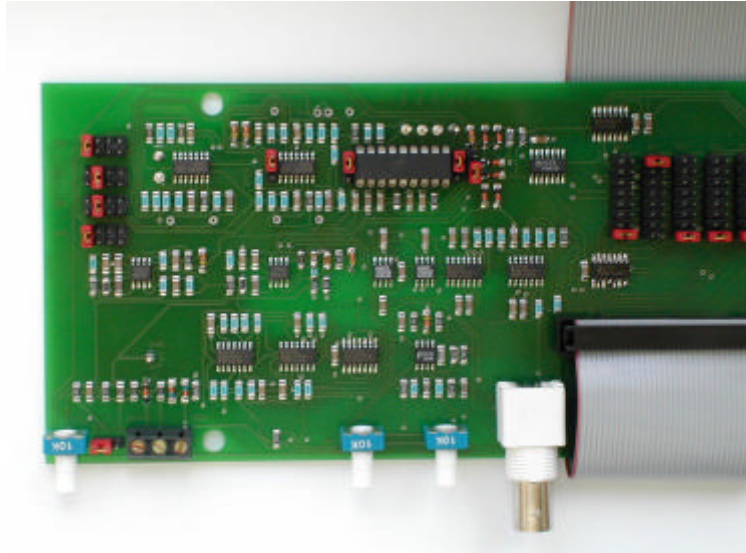


**Abb.3.10: Blockschaltbild zur Erzeugung des Schaltsignals  $s_{L-}$  für den MOSFET  $S_{L-}$  für geregelte Ausgangsspannung  $u_o$ . Die Regelung ist kaskadiert mit innerer Stromregelschleife und äußerer Spannungsregelung ausgeführt.**

In Abb.3.10 ist die Blockschaltung für den geregelten Betrieb des Hochsetzstellers dargestellt. Sie besteht aus einer inneren Stromregelschleife (ausgeführt als PT1-Regler) der seinen Sollwert  $i_{LI}^*$  von einer überlagerten, äußeren Spannungsregelschleife erhält. Der Spannungsregler ist als PI-Regler ausgeführt, damit er stationärgenaues Verhalten aufweist. Die schaltungstechnische Realisierung ist wieder in Abb.3.3 dargestellt. Für den geregelten Betrieb muss nun folgende Konfiguration hergestellt werden (Abb.3.11):

- JP1:  $U^{*+}$  (ganz links, Pins 1-2)
- JP2: UZK-C (2. Pos. von links, Pins 3-4)
- JP3: -I1-C (2. Pos. von links, Pins 3-4)
- JP10: I\_1P (oben, Pins 1-2)

- JP11: -REF (oben, Pins 2-3)
- JP12: unten (Pins 1-2)
- JPS1-: auf Position S\_A (ganz oben, Pins 1-2)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)



**Abb.3.11: Konfiguration der Jumper für den geregelten Betrieb des Hochsetzstellers.**

Der Leistungsteil bleibt ident.

Für den Hochlauf des Systems beachten sie, dass die Ausgänge entlastet sind. Stellen sie das Sollwert-Potentiometer  $U^+$  auf 0 (Anschlag links) und erhöhen sie langsam die Eingangsspannung. Erst wenn das Schaltsignal  $S_{1-}$  „0“ aufweist kann der Sollwert der Ausgangsspannung vergrößert werden.

Die Oszillogramme der geschalteten Signale ändern sich nicht (vergleiche Abb.3.5 ... Abb.3.9), beobachten sie die Ausgangsspannung bei unterschiedlichen Belastungen, sie wird nun durch den Ausgangsspannungsregler U18D auf einen konstanten, durch Potentiometer  $U^+$  einstellbaren Sollwert  $u_o^*$ , geregelt. Auch wenn die Eingangsspannung verändert wird, bleibt die Ausgangsspannung auf dem konstanten, eingestellten Wert.

### 3.3 Geregelter Betrieb mit Synchrongleichrichtung

Die Schaltung nach Abb.3.1 kann durch aktive Verwendung des MOSFET  $S_{I+}$  zur Synchrongleichrichtung modifiziert werden. Das Blockschaltbild für den geregelten Betrieb mit Synchrongleichrichtung ist in Abb.3.13 dargestellt. Es wird ein dem Schaltsignal  $s_{I-}$  invertiertes Signal  $s_{I+}$  für den MOSFET  $S_{I+}$  erzeugt und diesem über JPS1+ zugeführt. Die schaltungstechnische Realisierung der Inversion ist in Abb.3.12 dargestellt. D.h.: Für den Betrieb mit Synchrongleichrichtung muss der Jumper JPS1+ auf Position INV1- (Pins 13-14) umgesteckt werden.

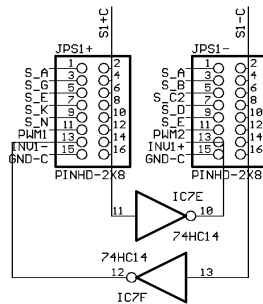


Abb.3.12: Inversion des Schaltsignals  $s_{I-}$  (S1-C) mittels IC7F für  $s_{I+}$  (S1+C).

Bevor sie den Jumper umstecken, stellen sie eine kleinere Ausgangsspannung von ca.  $u_O = 10V$  ein und entlasten sie das System soweit, dass der Strom in der Induktivität lückt (Abb.3.14). Bringen sie nun bei abgeschalteter Zwischenkreisspannung den Jumper JPS1- auf Position INV1+ (Pins 13-14) und vergleichen sie das resultierende Oszillogramm (Abb.3.15). Sie erkennen, dass nun durch die aktive Verwendung des MOSFET  $S_{I-}$  der Strom in der Induktivität  $L_I$  auch negative Werte annehmen kann und dass zur Erlangung der gleichen Ausgangsspannung vom Ausgangsspannungsregler ein anderes Tastverhältnis eingestellt werden muss ( $\delta = 22.68\%$  statt  $14.89\%$ ). Der Wirkungsgrad sollte bei großer Belastung ansteigen.

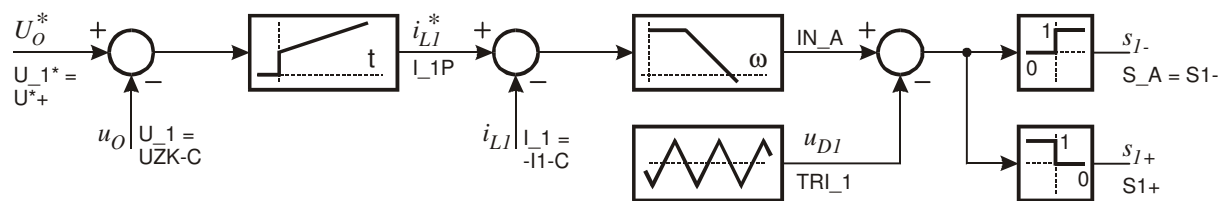


Abb.3.13: Blockschaltung des geregelten Betriebes mit Synchrongleichrichtung.

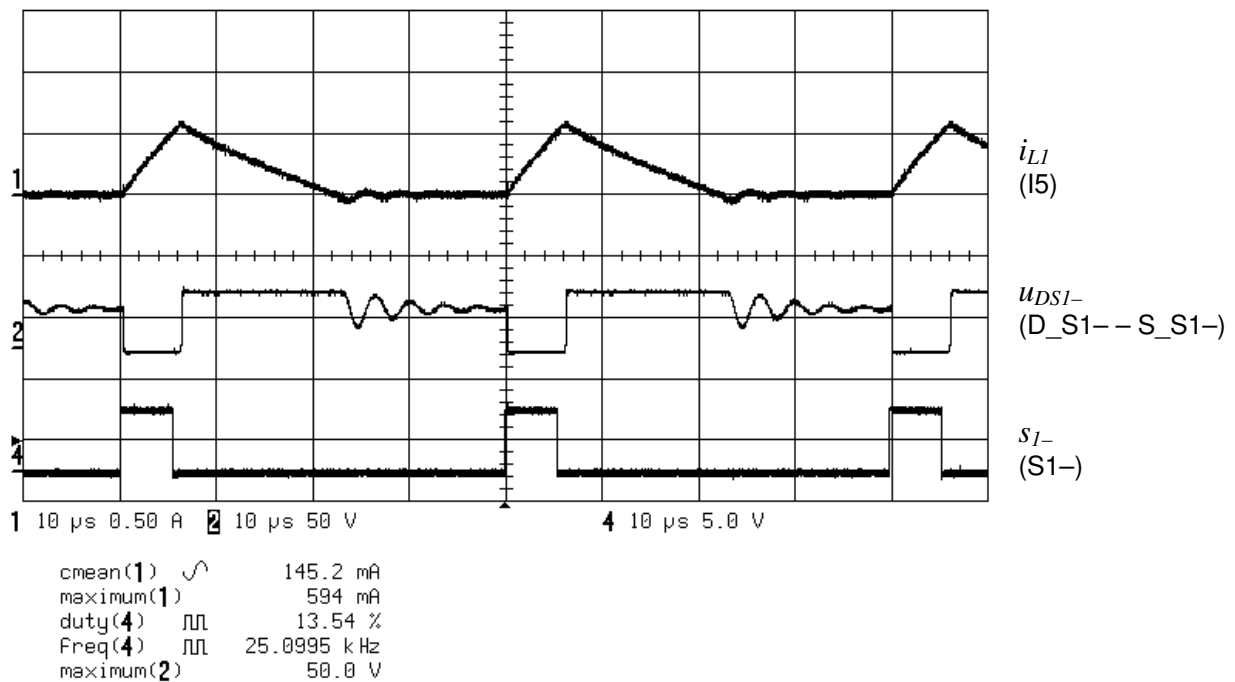
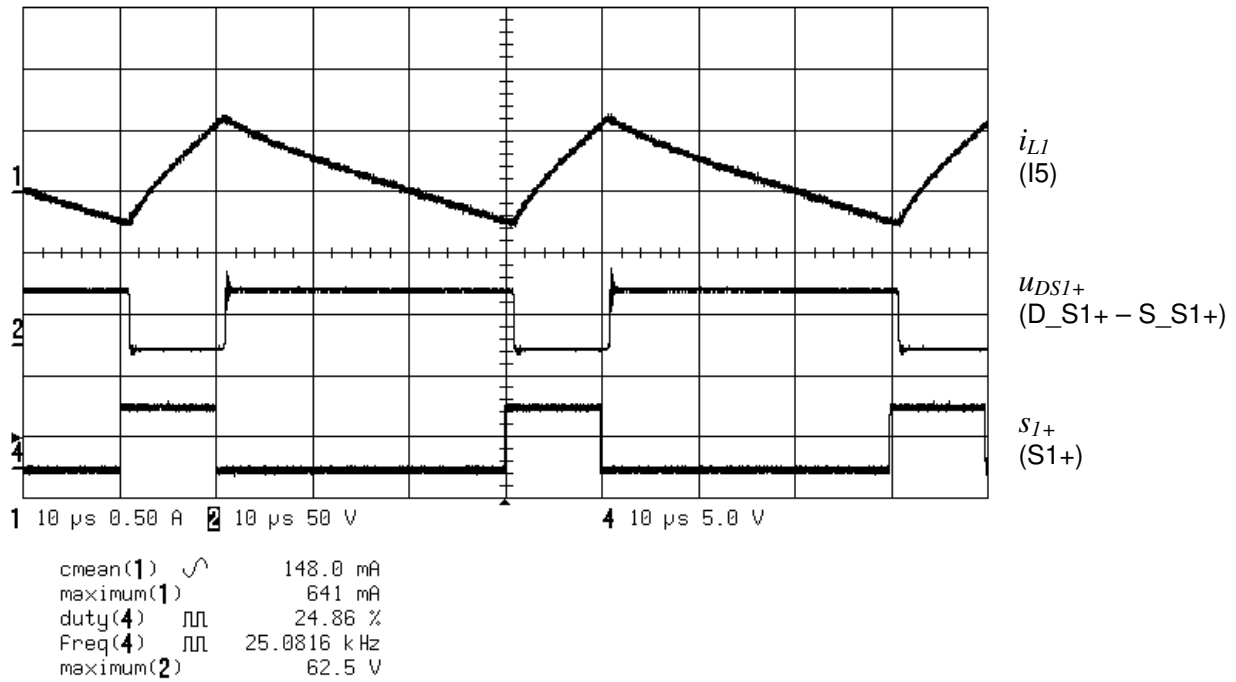


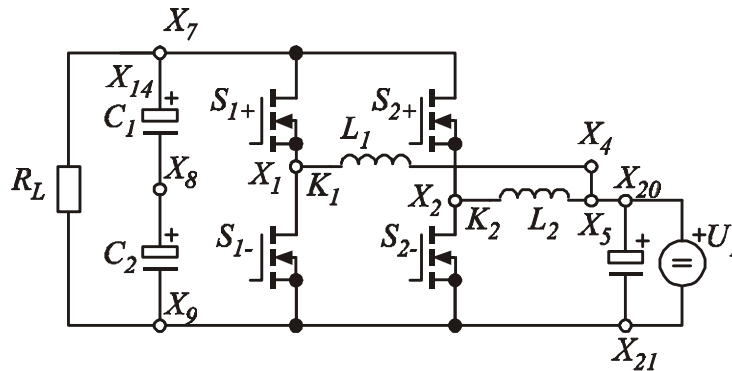
Abb.3.14: Lückender Betrieb des Hochsetzstellers ohne Synchrongleichrichtung.



**Abb.3.15: Betrieb des Hochsetzstellers mit Synchrongleichrichtung: Der Strom in der Induktivität  $L_1$  kann durch aktive Verwendung des Schalters  $S_{1+}$  auch negative Werte annehmen.**

### 3.4 Phasenversetzte Taktung zweier Brückenzeige

Mit dem gegenständlichen „Converter Lab“ ist es auch möglich das Prinzip der phasenversetzten Taktung zweier Brückenzeige zur Minimierung des Stromrippels zu zeigen. Die Topologie dazu ist in Abb.3.16 zu sehen.



**Abb.3.16: Topologie des Hochsetzstellers zur phasenversetzten Taktung zweier Brückenzeige.**

Verbinden sie daher:

- $X_4 - X_5$
- $X_5 - X_{20}$
- $X_9 - X_{21}$

am Leistungsteil und konfigurieren sie die Relaiskontakte neu. Das Blockschaltbild der Regelung ist in Abb.3.17 zu sehen, die schaltungstechnische Realisierung in Abb.3.18.

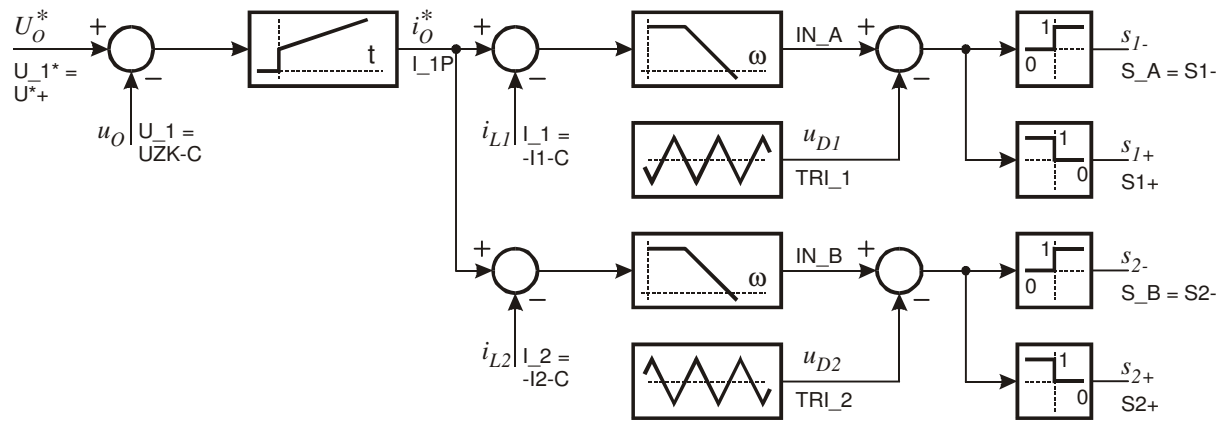


Abb.3.17: Blockschaltbild der Regelung für phasenversetzte Taktung zweier Brückenweige mit synchroner Gleichrichtung.

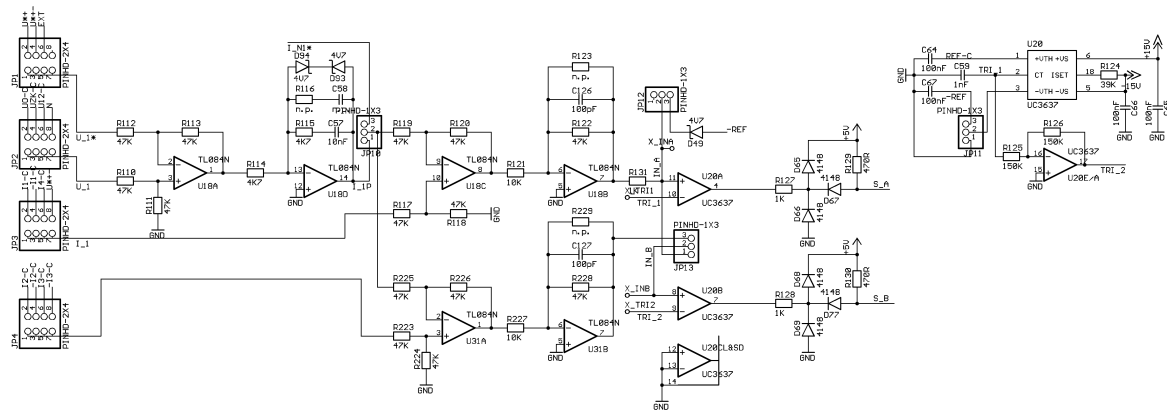
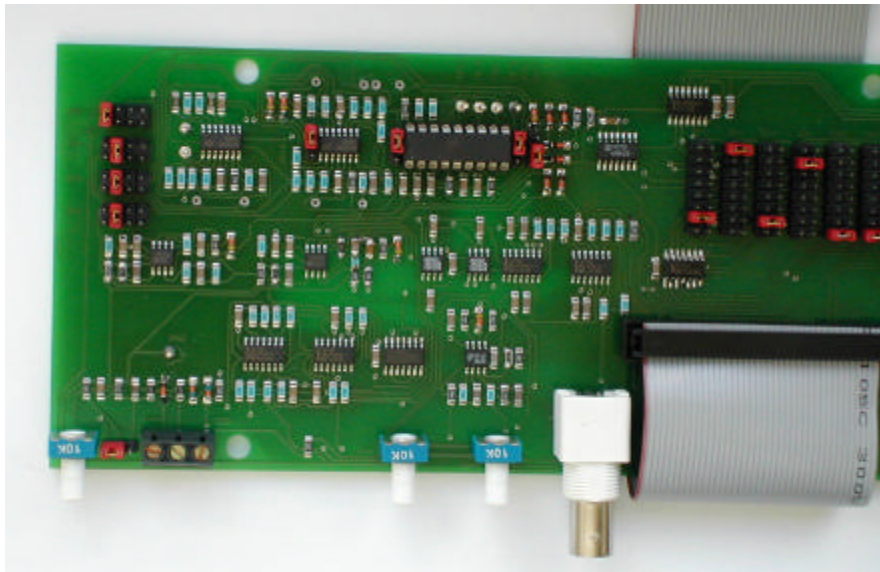


Abb.3.18: Schaltungstechnische Realisierung der Regelung für phasenversetzte Taktung von zwei Brückenweigen. Das Dreieck TRI\_1 wird durch U20E/A invertiert (TRI\_2) und mit dem von einem Stromregelkreis U31A/B gebildeten Signal IN\_B mittels U20B verglichen.

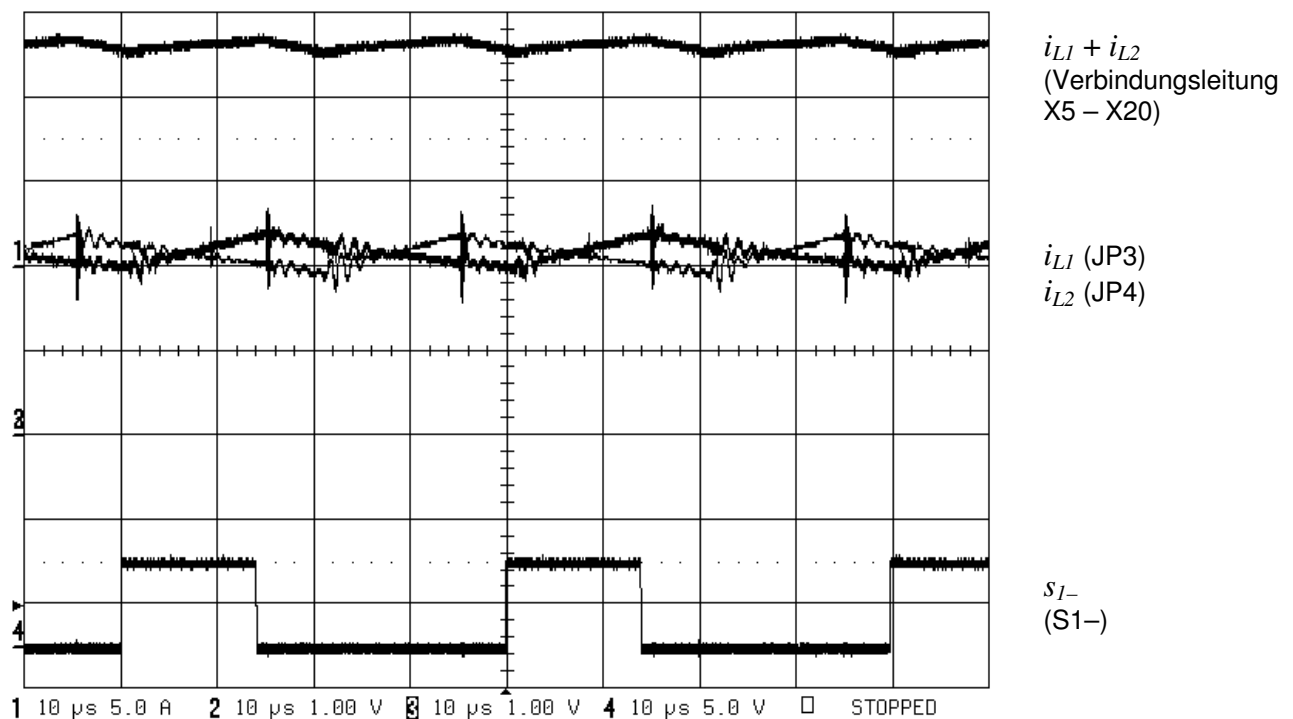
Stellen sie folgende Konfiguration her (Abb.3.19):

- JP1: U\*+ (ganz links, Pins 1-2)
- JP2: UZK-C (2. Pos. von links, Pins 3-4)
- JP3: -I1-C (2. Pos. von links, Pins 3-4)
- JP4: -I2-C (2. Pos. von links, Pins 3-4)
- JP10: I\_1P (oben, Pins 1-2)
- JP11: -REF (oben, Pins 2-3)
- JP12: unten (Pins 1-2)
- JP13: oben (Pins 2-3)
- JPS1+: auf Position INV1- (2. Pos. von unten, Pins 13-14)
- JPS1-: auf Position S\_A (ganz oben, Pins 1-2)
- JPS2+: auf Position INV2- (2.Pos. von unten, Pins 13-14)
- JPS2-: auf Position S\_B (2. Pos. von oben, Pins 3-4)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)



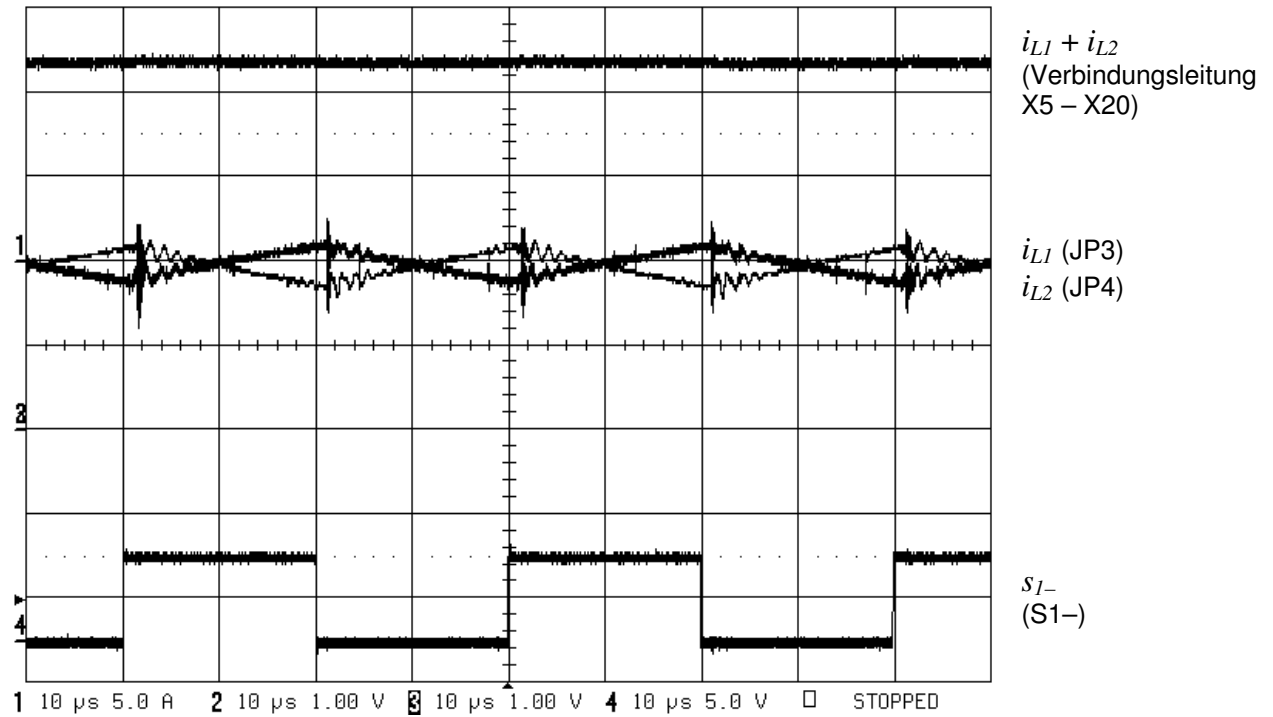
**Abb.3.19: Konfiguration der Jumper für den geregelten Betrieb des Hochsetzstellers mit phasenversetzter Taktung und Synchrongleichrichtung.**

Die Stromverläufe bei phasenversetzter Taktung sind in Abb.3.20 dargestellt. Das Konvertersystem könnte nun den doppelten Ausgangsstrom im Vergleich zum Betrieb mit nur einem Brückenzweig. Beim Betrieb des Systems vom 3~Netz ist jedoch eine Überhitzung der Leiterbahnen im Bereich des Brückengleichrichters nicht ausgeschlossen und sollte daher nur kurz mit Strömen über 10A betrieben werden. Bei einem Tastverhältnis  $\delta = 50\%$  wird der schaltfrequente Rippel der Teilströme im Gesamtstrom vollständig kompensiert (Abb.3.21).



**Abb.3.20: Gesamtstrom und Teilströme bei phasenversetzter Taktung des Hochsetzstellers. Die Teilströme werden über die Stromwandler erfasst und an den Jumpfern JP3 und JP4 gemessen.**

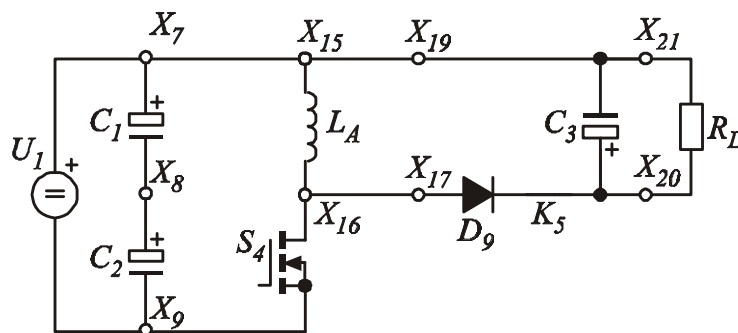




**Abb.3.21: Gesamtstrom und Teilströme bei phasenversetzter Taktung des Hochsetzstellers bei Tastverhältnis  $\delta = 50\%$ : Der Rippel der Teilströme wird im Gesamtstrom vollständig kompensiert.**

## 4 DC/DC Konverter / Hoch-Tiefsetzsteller

Der Hochsetz-Tiefsetzsteller ist neben der in den Übungen IE2 und IE3 behandelten Tiefsetzsteller- und Hochsetzstellerschaltung die dritte Möglichkeit einen Leistungstransistor, eine Diode und eine Induktivität zu einem DC/DC-Konverter zu verbinden. Die Schaltung ermöglicht die kontinuierliche Steuerung bzw. Regelung der Ausgangsspannung von 0V bis zu sehr hohen, über der Eingangsspannung liegenden Werten, wobei die Ausgangsspannung gegenüber Bezugspotential die inverse Polarität der Eingangsspannung aufweist. Der Hochsetz-Tiefsetzsteller ist als Vorstufe des in Übung IE5 behandelten Sperrwandlers zu verstehen. Im Rahmen der Übung wird insbesondere der Zusammenhang von Eingangsspannung, Ausgangsspannung und Tastverhältnis bei kontinuierlichem und diskontinuierlichem Strom in der Induktivität experimentell untersucht. Zur Regelung der Ausgangsspannung wird ein integrierter Steuerbaustein eingesetzt.



**Abb.4.1: Topologie des Hoch-Tiefsetzgleichstromstellers (Buck/Boost Converter).**

Abb.4.1 zeigt die Topologie des Hoch-Tiefsetzgleichstromstellers (Buck/Boost Converter), die mit dem „ETH Zurich Converter Lab“ realisiert werden kann. Gegenüber der üblichen Darstellung ist der Schalter im unteren Zweig angeordnet, was jedoch für die Darstellung der Funktionsweise keine Auswirkung hat. Zu beachten ist lediglich, dass das Ausgangsspannungspotential dieser Anordnung nun über der Eingangsspannung und nicht unter ihr liegt (also negativ ist).

Schließen sie eine Gleichspannungsquelle (Netzgerät)  $U_1$  an die Klemmen  $X_7$  und  $X_9$ , verbinden sie die Klemmen:

- $X_{15} - X_{19}$
- $X_{16} - X_{17}$

mittels eines Drahtes, verbinden sie die Klemmen  $X_{15}$  und  $X_{16}$  mit einer geeigneten HF-Induktivität ( $L_A = 50\mu\text{H}$ , Sättigungsstromstärke min. 30A, z.B.: ETD54, 17Wdg., Luftspalt 2mm) und belasten sie das System am Ausgang mit einem geeigneten Lastwiderstand  $R_L$  an den Klemmen  $X_{20}$  und  $X_{21}$ . Sie können das System auch mittels der integrierten Gleichrichterbrücke  $D_{16}$  versorgen, indem sie eine geeignete 3~-Versorgung (Drehstromtrafo) an den Klemmen  $X_{10} \dots X_{12}$  anschließen.

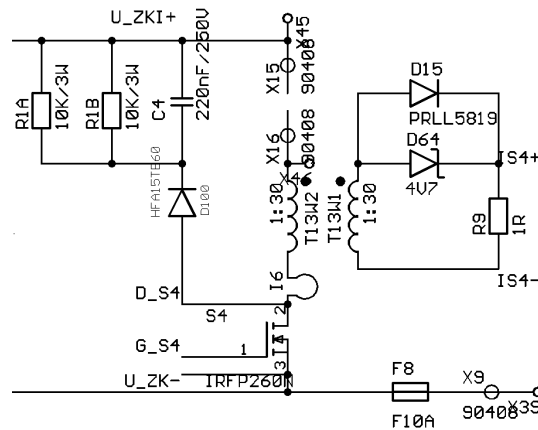


Abb.4.2: Schaltungstechnische Realisierung des Zweiges mit dem MOSFET  $S_4$ . Die Strommessung erfolgt mittels AC Stromwandler (T13), der mit Z-Diode D64 entmagnetisiert werden muss (Tastverhältnisbegrenzung). Die Überspannungsbegrenzung für den MOSFET  $S_4$  erfolgt durch D100, C4, R1A, R1B.

#### 4.1 Gesteuerter Betrieb mit Tastverhältnisvariation

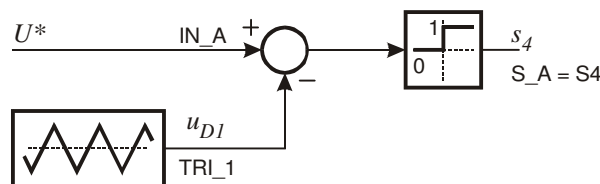


Abb.4.3: Blockschaltbild zur Erzeugung des Schaltsignals  $s_4$  für den MOSFET  $S_4$  durch Verschneidung eines Dreiecks  $u_{DI}$  mit einer konstanten Steuerspannung  $U^*$ .

Das Blockschaltbild zur Erzeugung eines Schaltsignals für den gesteuerten Betrieb des Hoch-Tiefsetzstellers sehen sie in Abb.4.3, dessen schaltungstechnische Realisierung in Abb.4.4. Das Schaltsignal für den Schalter  $S_4$  wird durch Dreiecksverschneidung des Wertes  $U^*$  mit dem Dreieck  $u_{DI}$  gewonnen. Stellen sie folgende Konfiguration her (siehe Abb.4.5):

- JP3:  $U^*+/-$  (ganz rechts, Pins 7-8)
- JP10: entfernen
- JP11: -REF (oben, Pins 2-3)
- JP12: unten oder entfernen (Pins 1-2)
- JPS4: auf Position  $S_A$  (ganz oben, Pins 1-2)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)

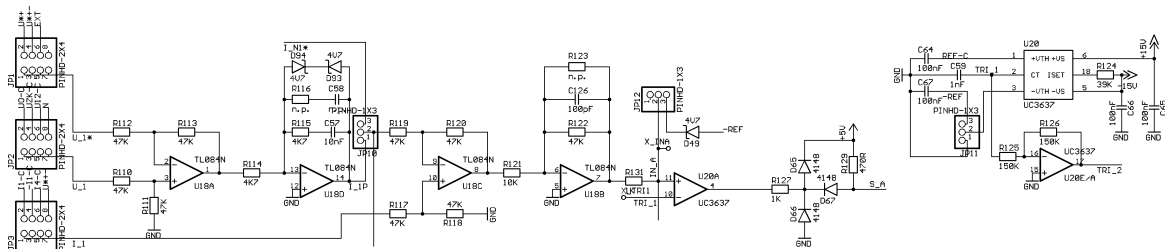
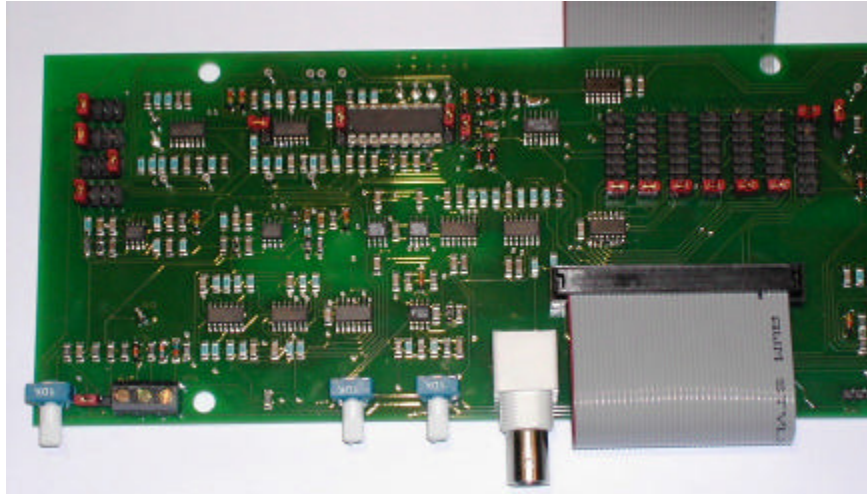


Abb.4.4: Schaltungstechnische Realisierung der Dreiecksverschneidung (Seite 5 in der Gesamtschaltung).



**Abb.4.5: Konfiguration der Jumper für den gesteuerten Betrieb des Hoch-Tiefsetzstellers.**

In Abb.4.6 sehen sie die Zeitverläufe zur Erzeugung des Schaltsignals  $S_A = S_4$  mittels Dreiecksverschneidung. Sie können nun durch drehen am Potentiometer  $U^{*+}$  das Signal  $U^*$  ( $=I_{N\_A}$ ) variieren und damit das gewünschte Tastverhältnis ( $\delta \dots$  duty cycle) einstellen.

**Beachten sie, dass sie das Tastverhältnis nicht zu groß ( $\delta < 75\%$ ) wählen, da ansonsten die Strommessung (siehe Abb.4.2) und damit die Sicherheitsstromabschaltung nicht mehr funktioniert.**

Abb.4.7 zeigt den Strom  $i_{LA}$  und die Spannung  $u_{LA}$  der Hochsetz-Tiefsetzstellerinduktivität  $L_A$  und das zugehörige Schaltsignal  $s_4$  bei Betrieb mit konstantem Tastverhältnis. Beachten Sie den Spannungswert während der „1“-Phase des Schaltsignals (ca. 30V) und während der „0“-Phase (ca. 50V). Diese Werte entsprechen der Eingangs- bzw. der Ausgangsspannung des Konverters.

In Abb.4.8 ist nun die Beanspruchung des Schalters  $S_4$  mit dem Schalterstrom  $i_{S4}$  und der Schalterspannung  $u_{S4}$  dargestellt. Sie erkennen, dass der MOSFET  $S_4$  während der „1“-Phasen des Schaltsignals  $s_4$  den Drosselstrom vollständig übernimmt. Die Spannungsbeanspruchung des MOSFET  $S_4$  wird durch die Summe aus Eingangsspannung und Ausgangsspannung zuzüglich eines signifikanten Überschwingens bestimmt ( $\hat{u}_{DS,S4} = 172V$ ). Das Ausschaltverhalten ist daher in Abb.4.9 nochmals mit einem Zeitmaßstab von  $2\mu s / DIV$  dargestellt. Die relativ große Ausschaltverzögerung vom Schaltsignal  $s_4$  zum tatsächlichen Ausschalten (ca.  $3\mu s$ ) setzt sich aus der Verzögerungszeit des Optokopplers (ca. 500ns) und der Gate-Zeitkonstanten gebildet aus dem Gate-Widerstand ( $100\Omega$ ) und der Gate-Source Ladung zusammen.

Abb.4.10 zeigt den Strom  $i_{D9}$  und die Spannungsbeanspruchung  $u_{D9}$  der Gleichrichterdiode  $D_9$ . Da an der Diode keine Testpins vorgesehen sind, ist der Tastkopf nur schwer zu befestigen, weshalb diese Spannung nur mit besonderer Sorgfalt gemessen werden kann.

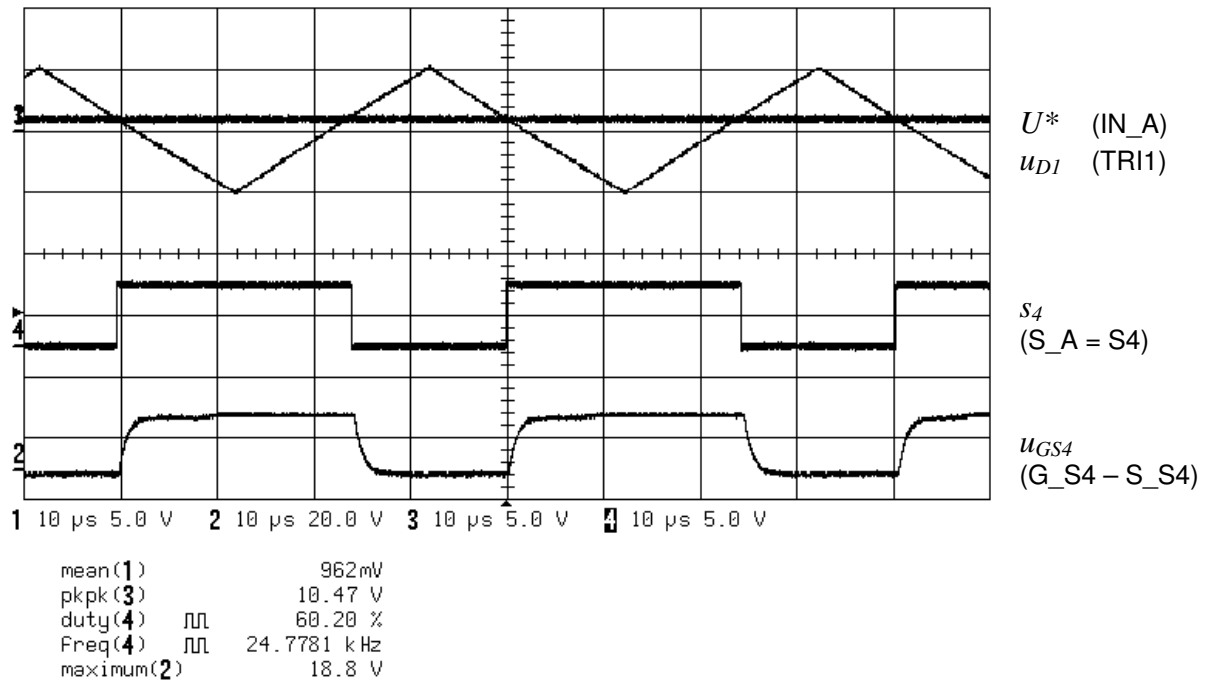


Abb.4.6: Erzeugung des Schaltsignals  $S_A = S4$  durch Vergleich des Dreiecks  $u_{DI}$  (TRI1) mit  $U^*$  (IN\_A) mittels des Komparators U20A. Kanal 2 misst die Gate-Source-Spannung  $u_{GS4}$  des MOSFET  $S_4$ .

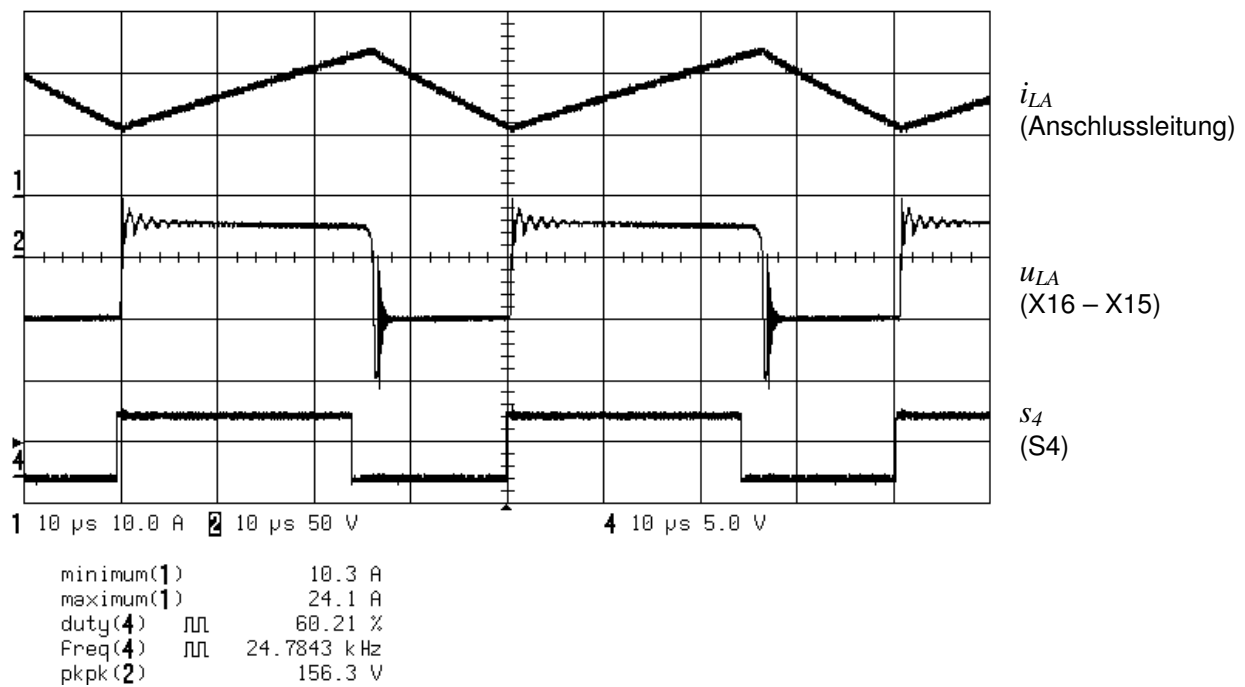


Abb.4.7: Strom  $i_{LA}$  und Spannung  $u_{LA}$  der Hoch-Tiefsetzstellerinduktivität  $L_A$ , und Schaltsignal  $s_4$ .

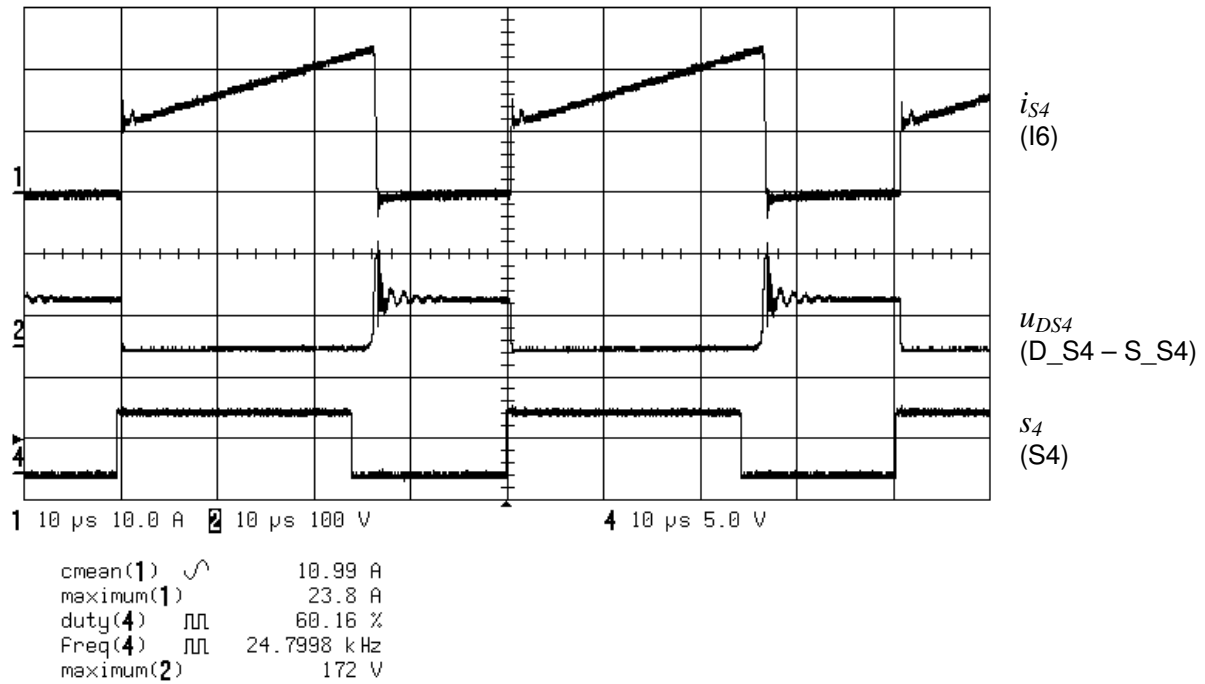


Abb.4.8: Schalterstrom  $i_{S4}$ , Schalterspannung  $u_{DS4}$  und Schaltsignal  $s_4$ . Die Spannungsbeanspruchung des MOSFET  $S_4$  ist definiert durch die Summe aus Eingangs- und Ausgangsspannung.

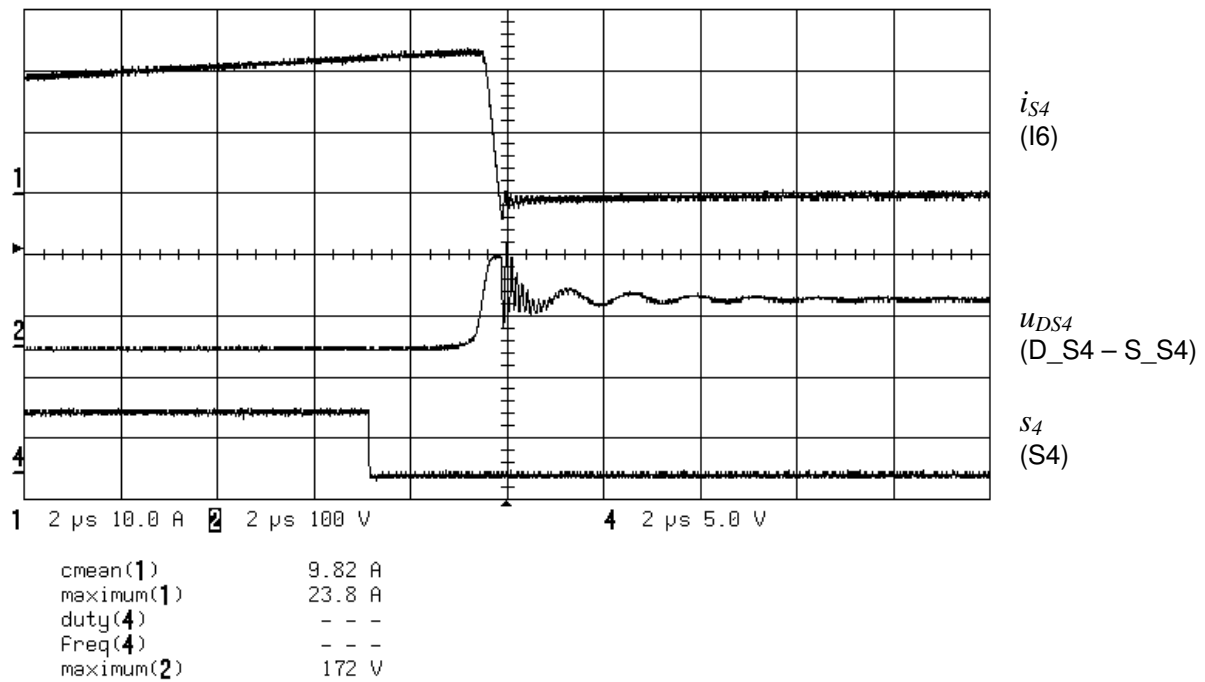


Abb.4.9: Schalterstrom  $i_{S4}$ , Schalterspannung  $u_{DS4}$  und Schaltsignal  $s_4$  beim Ausschalten des MOSFET  $S_4$  im Zeitmaßstab  $2\mu\text{s} / \text{DIV}$ .

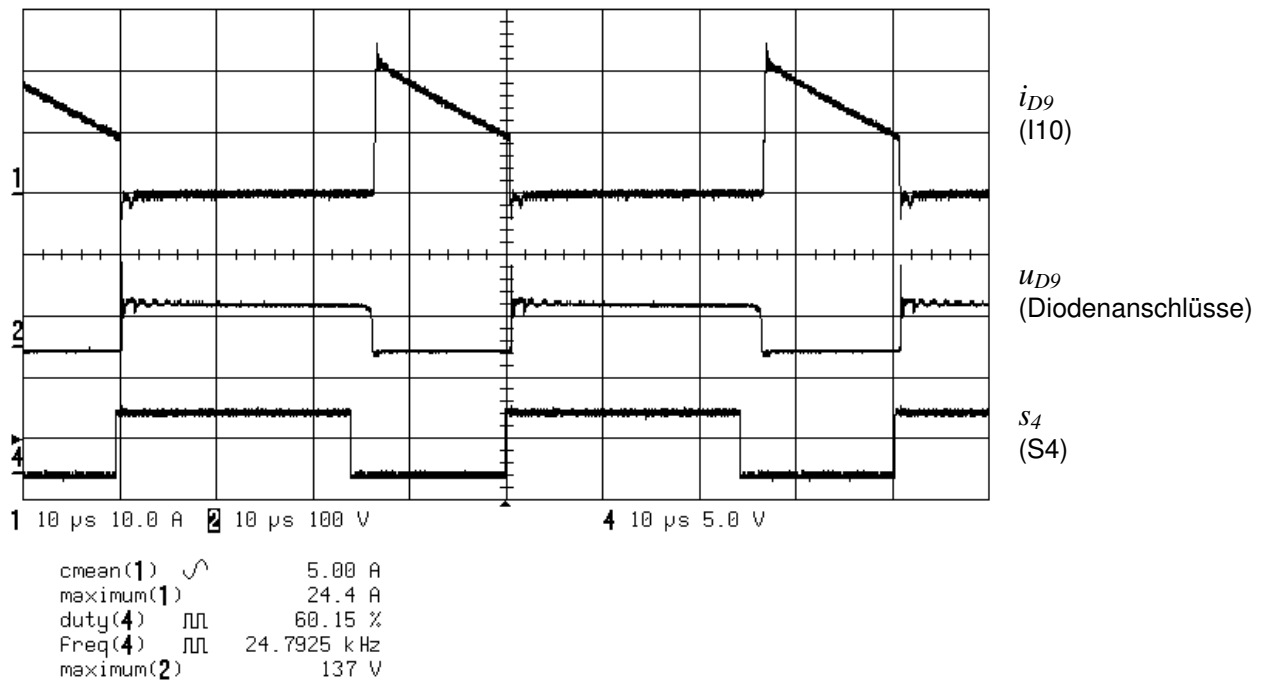


Abb.4.10: Diodenstrom  $i_{D9}$ , Diodenspannung  $u_{D9}$  und Schaltsignal  $s_4$ .

## 4.2 Regelung der Ausgangsspannung

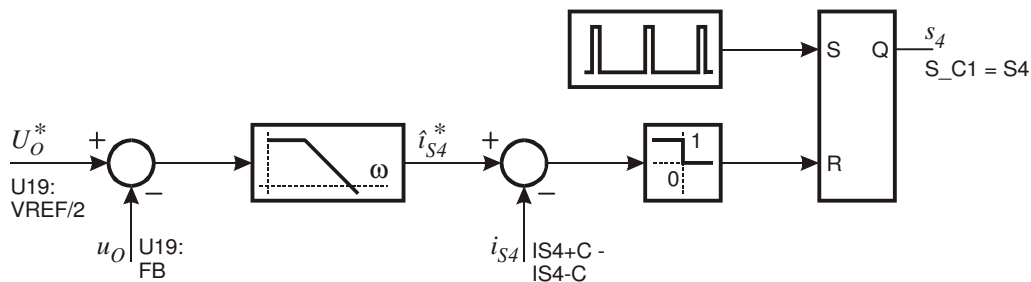
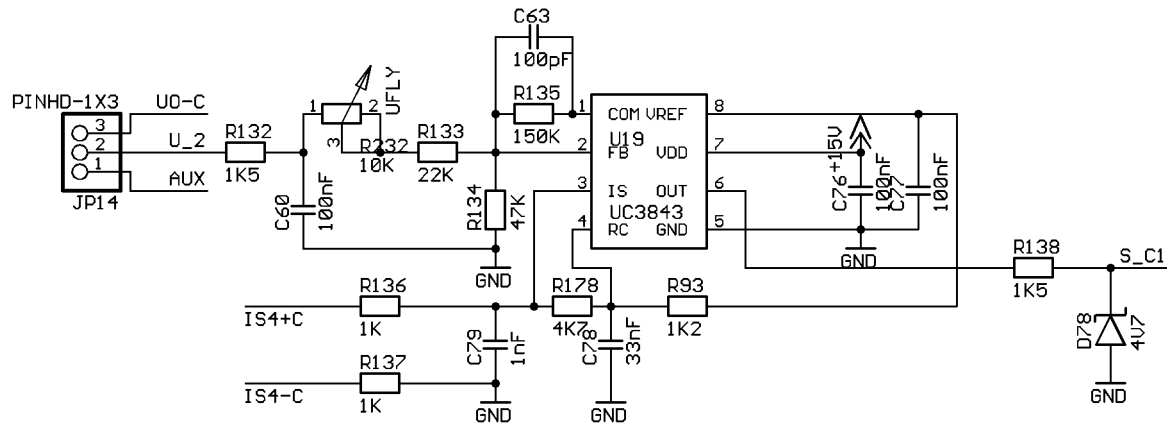


Abb.4.11: Blockschaltbild zur Erzeugung des Schaltsignals  $s_4$  für den MOSFET  $S_4$  für geregelte Ausgangsspannung  $u_o$ . Die Regelung ist kaskadiert mit innerer „peak current mode“ Stromregelschleife und äußerer Spannungsregelung (PT1-Verhalten) ausgeführt.

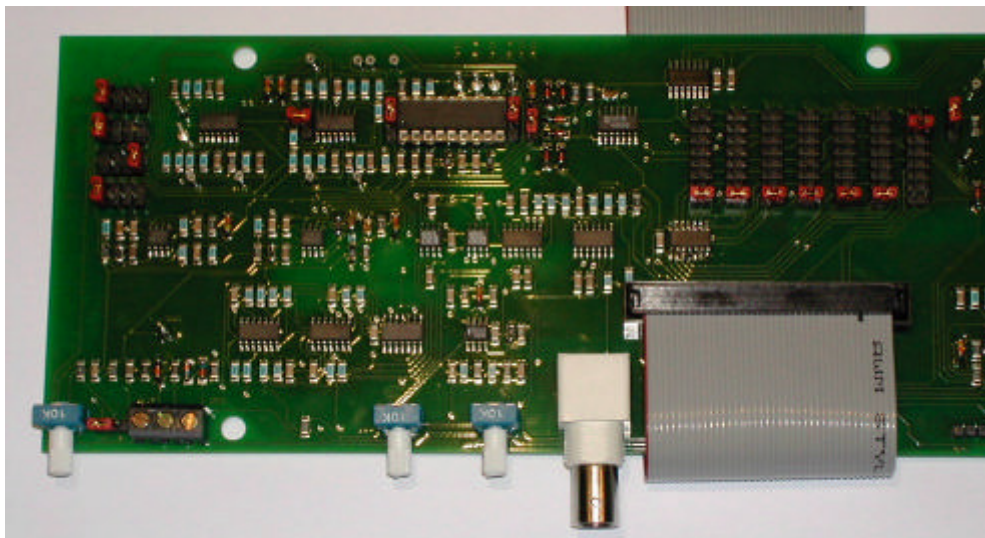
In Abb.4.11 ist die Blockschaltung für den geregelten Betrieb des Hoch-Tiefsetzstellers dargestellt. Sie besteht aus einer inneren „peak current mode“ Stromregelschleife, d.h. vom überlagerten Ausgangsspannungsregler (ausgeführt als PT1-Regler) wird der Spitzenwert des Schalterstromes  $\hat{i}_{S4}^*$  vorgegeben. Sobald dieser Spitzenwert überschritten wird, wird das Flip-Flop zurückgesetzt und der Schalter ausgeschaltet. Ein Oszillator setzt zu fixen Zeiten (Periodendauer T) das Flip-Flop, wodurch der Schalter  $S_4$  in regelmäßigen Abständen eingeschaltet wird. Diese Art der Regelung ist sehr etabliert in leistungselektronischen Schaltungen, weshalb es dazu auch einige integrierte Lösungen gibt. Hier wird der IC des Typs UC3843 Hersteller: z.B. Texas Instruments (www.ti.com, Datenblatt SLUS224A, Application note SLVA059) verwendet (Abb.4.12).



**Abb.4.12: Schaltungstechnische Realisierung zur Erzeugung des Schaltsignals S\_C1 für den geregelten Betrieb des Hoch-Tiefsetzstellers. Es wird ein Industrie-Standard IC (UC3843) verwendet.**

Für den geregelten Betrieb muss nun folgende Konfiguration hergestellt werden (Abb.4.13):

- JP14: UO-C (links, Pins 2-3)
- JPS4: auf Position S\_C1 (2. Pos. von oben, Pins 3-4)
- Die verbleibenden JPSxx ganz unten (GND, Pins 15-16)



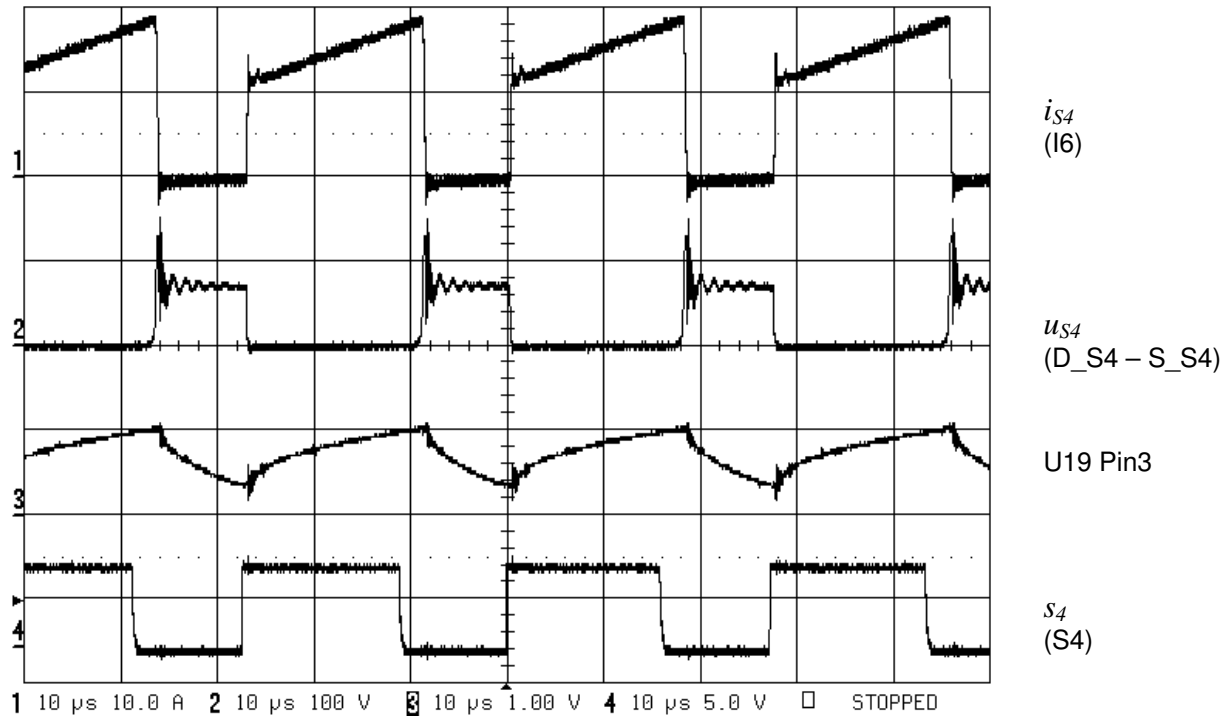
**Abb.4.13: Konfiguration der Jumper für den geregelten Betrieb des Hoch-Tiefsetzstellers.**

Der Leistungsteil bleibt für den geregelten Betrieb identisch. Die Oszillogramme der geschalteten Signale ändern sich nun insofern, als die eingestellte Pulsfrequenz höher ist (35kHz). Das maximale Tastverhältnis ist durch die Beschaltung des IC U19 (UC3843) auf ca.  $\delta < 80\%$  begrenzt. In Abb.4.14 ist zusätzlich die Spannung am Strommesseingang des IC U19: UC3843 dargestellt. Es ist dem gemessenen Strom  $i_{s4}$  über R178 ein Anteil des Oszillator-Sägezahns (Pin 4) beigemischt, um bei einem Tastverhältnis  $\delta > 50\%$  die notwendige Stromanstiegskompensation („slope compensation“) durchzuführen. Dies ist notwendig, um einen stabilen Betrieb sicherstellen zu können.

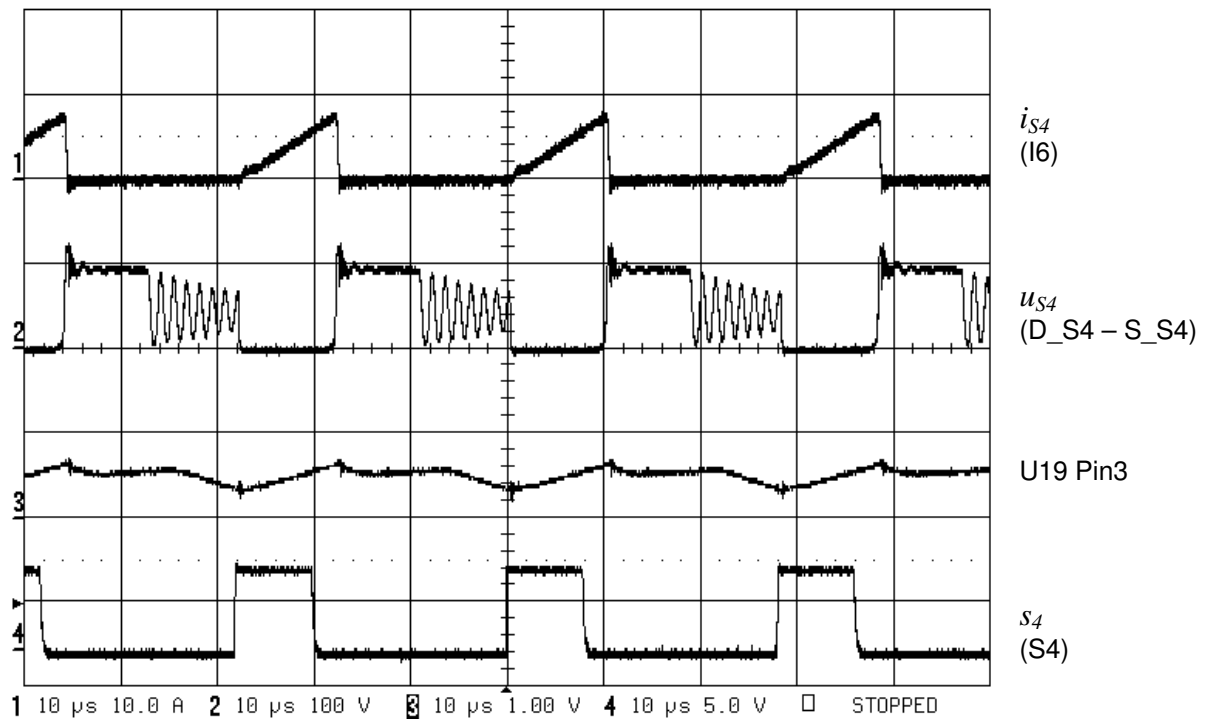
Der IC verwendet eine interne Referenz als Sollwert der Ausgangsspannung  $U_O^*$ , d.h. der Sollwert kann nicht verändert werden. Um zu zeigen, dass diese Topologie die



Eingangsspannung hoch- und tiefsetzen kann, kann mit dem Potentiometer R232 (ganz links auf dem Steuerboard) der Istwert der Ausgangsspannung  $u_O$  geringfügig verändert werden.



**Abb.4.14: Geregelter Betrieb des Hoch-Tiefsetzstellers. Schalterstrom  $i_{S4}$ , Schalterspannung  $u_{DS4}$ , Spannung am Strommesseingang (Pin 3) des IC U19: UC3843 und Schaltsignal  $s_4$ .**



**Abb.4.15: Geregelter Betrieb des Hoch-Tiefsetzstellers bei geringer Last. Der Strom in der Induktivität  $L_A$  wird dadurch diskontinuierlich (Lückbetrieb). Schalterstrom  $i_{S4}$ , Schalterspannung  $u_{DS4}$ , Spannung am Strommesseingang (Pin 3) des IC U19: UC3843 und Schaltsignal  $s_4$ .**